

明 細 書

多層プリント配線板

技術分野

- [0001] この発明は、多層プリント配線板に係り、高周波のICチップ、特に3GHz以上の高周波領域でのICチップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる多層プリント配線板に関することを提案する。

背景技術

- [0002] ICチップ用のパッケージを構成するビルドアップ式の多層プリント配線板では、スルーホールが形成されたコア基板の両面もしくは片面に、層間絶縁樹脂を形成し、層間導通のためのバイアホールをレーザもしくはフォトエッチングにより開口させて、層間樹脂絶縁層を形成させる。そのバイアホール内と層間樹脂絶縁層上にめっきなどにより導体層を形成し、エッチングなどを経て、パターンを形成し、導体回路を作り出させる。さらに、層間絶縁層と導体層を繰り返し形成させることにより、ビルドアップ多層プリント配線板が得られる。必要に応じて、表層には半田バンプ、外部端子(PGA/BGAなど)を形成させることにより、ICチップを実装することができる基板やパッケージ基板となる。ICチップはC4(フリップチップ)実装を行うことにより、ICチップと基板との電氣的接続を行っている。
- [0003] ビルドアップ式の多層プリント配線板の従来技術としては、特開平6-260756号公報、特開平6-275959号公報などがある。ともに、スルーホールを充填樹脂で充填されたコア基板上に、ランドが形成されて、両面にバイアホールを有する層間絶縁層を施して、アディティブ法により導体層を施し、ランドと接続することにより、高密度化、微細配線を形成された多層プリント配線板を得られる。
- [0004] 特許文献1:特開平6-260756号公報
特許文献2:特開平6-275959号公報
- ### 発明の開示
- ### 発明が解決しようとする課題

[0005] しかしながら、ICチップが高周波になるにつれて、誤動作やエラーの発生の頻度が高くなってきた。特に周波数が3GHzを越えたあたりから、その度合いが高くなってきている。5GHzを越えると全く動かなくなることもあった。そのために、該ICチップをCPUとして備えるコンピュータで、機能すべきはずの動作、例えば、画像の認識、スイッチの切り替え、外部へのデータの伝達などの所望の機能や動作を行えなくなってしまう。

[0006] それらのICチップ、基板をそれぞれ非破壊検査や分解したところICチップ、基板自体には、短絡やオープンなどの問題は発生しておらず、周波数の小さい(特に1GHz未満)ICチップを実装した場合には、誤動作やエラーの発生はなかった。

[0007] 本発明者らは、上述した課題を解決するために、特願2002-233775中に記載したようにコア基板上の導体厚の厚みを層間絶縁層上の導体層の厚みより厚くすることを提案した。しかしながら、上述した発明では、微細な配線パターンを有するコア基板を作製しようとする配線パターン間の絶縁間隔が狭くなり、絶縁信頼性に劣るプリント配線板となってしまった。

第1の発明の目的とするところは、高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生せず、絶縁信頼性が高いプリント基板もしくはパッケージ基板を構成し得る多層プリント配線板を提案することにある。

[0008] 第2の発明において、高周波での誤動作の対策として、本発明者は、コア基板として多層コア基板を用い、多層コア基板内に厚みの厚い導体層を設けることを検討した。

この多層プリント配線板について、図35を参照して説明する。多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表面の信号回路34S、電源回路34P、アース回路34Eの上には、バイアホール60及び導体回路58の形成された層間絶縁層50と、バイアホール160及び導体回路158の形成された層間絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

[0009] 多層コア基板30の上側の電源回路34Pは、電源用のプレーン層として形成され、

下側のアース回路34Eは、アース用のプレーン層として形成されている。更に、多層コア基板30の内部の表面側に、内層のアース回路16E、電源用スルーホール36THPから延出しているダミーランド16Dが、裏面に電源回路16P、アース用スルーホール36THEから延出しているダミーランド16Dが形成されている。ダミーランドとは、スルーホールから延出している導体回路であって、同一層内で他の配線とは導通していない配線パターン、または、同電位を電氣的に接続している配線パターン(図36(A)中の16D1)を意味する。上側のアース回路16Eは、アース用のプレーン層として形成され、下側の電源回路16Pは、電源用のプレーン層として形成されている。図36(A)は図35中のX4-X4横断面を示し、図36(B)はX5-X5横断面を示している。多層コア基板30の表裏の接続のためにスルーホール36が設けられている。ダミーランド16Dは、アース回路16E、電源回路16Pと接続していないスルーホール36の周りに設けられている。ダミーランドの周囲には、ダミーランドと他の配線パターンとの絶縁を確保するための(非導体形成部分(非導体形成部分抜き35))がある。また、図36(A)に示すように隣接する位置に同電位のスルーホールが位置した場合、それらのスルーホール周辺に一括形成したダミーランド16D1を形成する場合もある。

[0010] 係る構成の多層プリント配線板において、多層コア基板30のアース回路16E、16Pを厚くすることで、スイッチをONしてから複数回発生するICの電圧降下のうち、主に3回目の電圧降下が改善されることが分かった。しかしながら、1回目、2回目の電圧降下に関しては大きく改善されないことが分かった。

[0011] 第2の発明は、上述した課題を解決するためになされたものであり、その目的とするところは、高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生しないプリント基板もしくはパッケージ基板を構成し得る多層プリント配線板を提案することにある。特に、スイッチをONしてから発生する電圧降下のうち1回目と2回目の電圧降下を改善することにある。

課題を解決するための手段

[0012] [第1の発明]

発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする第1の発明に想到した。すなわち、

第1の発明は、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電氣的な接続を行われる多層プリント配線板において、コア基板の電源用もしくはアース用の導体層の厚みの和の少なくとも一方は、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板にある。

- [0013] すなわち、コア基板を多層コア基板とし、コア基板の表裏のみの導体層の厚みを厚くするのではなく、各導体層の和を厚くしたことにある。多層コア基板の場合、コア基板の表裏の導体層と内層の導体層をそれぞれ足した厚みが、ICへの電源供給やその安定化に寄与する厚みとなる。この場合、表層の導体層と内層の導体層とが電氣的な接続があり、かつ、2箇所以上での電氣的な接続があるものであるときに適用される。つまり、多層化して、多層コア基板の各導体層の厚みの和を厚くし、コアの導体層を電源用の導体層として用いることで、ICチップへの電源の供給能力が向上させることができる。また、コアの導体層をアース層として用いることで、ICチップへの信号、電源に重畳するノイズを低減させたり、ICに電源を安定的に供給することができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップー基板ー電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。また、ノイズが低減されるため、誤動作やエラーを引き起こすことがない。

さらに、多層コア基板とすることで、多層コア基板の導体層の厚みの和を確保したまま、多層コア基板の各導体層の厚みを薄くすることができる。つまり、これにより、微細な配線パターンを形成しても、配線パターン間の絶縁間隔を確実に確保できるため、絶縁信頼性に高いプリント配線板を提供することも可能となる。

その他の効果として、コア基板の電源用もしくはアース用の導体層の厚みを厚くすることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

- [0014] また、ICチップー基板ーコンデンサもしくは電源層ー電源を経て、ICチップに電源を供給する場合にも、同様の効果を奏する。前述のループインダクタンスを低減する

ことができる。それ故に、コンデンサもしくは誘電体層の電源の供給に損失を起こさない。そもそもICチップは、瞬時的に電力を消費して、複雑な演算処理や動作が行われる。電源層からのICチップへの電力供給により、高周波領域のICチップを実装したとしても、初期動作における電源不足(電圧降下の発生という状況)に対して、大量のコンデンサを実装することなく、電源の供給をすることができる。そもそも高周波領域のICチップを用いるためには初期動作時の電源不足(電圧降下)が発生するが、周波数の低いICチップでは実装されたコンデンサもしくは内蔵された誘電体層の容量で足りていた。

[0015] 特に、コア基板の電源層として用いられる導体層の厚みの和が、コア基板の片面もしくは両面上の層間絶縁層上の導体層の厚みより、厚いときに、上記の効果を最大限にさせることができるのである。この場合の層間絶縁層上の導体層とは、所謂、ビルドアッププリント配線板のビルドアップ部における層間絶縁層上の導体層のことである(本願であれば、図8中の58、158)。

[0016] コア基板の電源層は、基板の表層、内層もしくは、その両方に配置させてもよい。基板の表面、裏面、内層の内少なくとも1層、もしくは複数の層に配置させてもよい。内層の場合は、2層以上に渡り多層化してもよい。残りの層をアース層とするのがよい。基本的には、コア基板の電源用の導体層の和が、層間絶縁層の導体層よりも厚くなっていれば、その効果を有するのである。電源用の導体層とアース用の導体層とが交互に配置することが電気特性を改善するために望ましい。

ただ、内層に形成することが望ましい。内層に形成されるとICチップと外部端子もしくはコンデンサとの中間に電源層が配置される。そのため、双方の距離が均一であり、阻害原因が少なくなり、電源不足が抑えられるからである。

[0017] また、本発明では、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、

多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする多層プリント配線板にある。

[0018] $\alpha 1 \leq \alpha 2$ の場合は、電源不足に対する効果が全くない。つまり、いいかえると初期

動作時に発生する電圧降下に対して、その降下度を抑えるということが明確にならないということである。

$\alpha 1 > 40 \alpha 2$ を越えた場合についても検討を行ったところ、基板厚みが厚くなるため、逆にICへの電源供給に時間が要する結果となった。つまり、本願の効果の臨界点であると理解できる。これ以上厚くしても、電氣的な効果の向上は望めない。また、この厚みを越えると、コア基板の表層に導体層を形成した場合にコア基板と接続を行うランド等が形成するのに困難が生じてしまう。さらに上層の層間絶縁層を形成すると、凹凸が大きくなってしまい、層間絶縁層にうねりを生じてしまうために、インピーダンスを整合することが出来なくなってしまうことがある。しかしながら、その範囲($\alpha 1 > 40 \alpha 2$)でも問題がないときもある。

- [0019] 多層コア基板の電源用の導体層の厚みの和の $\alpha 1$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であることがさらに望ましい。その範囲であれば、電源不足(電圧降下)によるICチップの誤動作やエラーなどが発生しないことが確認されている。
- [0020] この場合のコア基板とは、ガラスエポキシ樹脂などを芯材に含浸した樹脂基板、セラミック基板、金属基板、樹脂、セラミック、金属を複合して用いた複合コア基板、それらの基板の内層に導体層が設けられた基板、3層以上の多層化した導体層が形成された多層コア基板を用いたもの等をさす。
- [0021] 多層コア基板の電源用の導体層の厚みの和を、厚くするために、金属を埋め込まれた基板上に、めっき、スパッタなどの一般的に行われる導体層を形成するプリント配線板の方法で形成したものを用いてもよい。
- [0022] また、本発明では、コア基板上に層間絶縁層と導体層が形成されて、バイアホールを介して電氣的な接続が行われる多層プリント配線板において、多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 3$ と $\alpha 2$ は、 $\alpha 2 < \alpha 3 \leq 40 \alpha 2$ であることを特徴とする多層プリント配線板にある。この範囲にすることで、ICチップへの信号電源に重畳するノイズを低減できる。また、ICへの電源供給を安定的に行うことが可能になる。さらに、 $1.2 \alpha 1 < \alpha 3 \leq 40 \alpha 2$ の範囲にするとその効果は増す。
- [0023] なお、同一厚みの材料で形成されたもので、積層された多層プリント配線板である

ならば、プリント基板における導体層として電源層を有する層もしくは基板をコア基板として定義される。

- [0024] 更に、多層コア基板は、内層に相対的に厚い導体層を、表層に相対的に薄い導体層を有し、内層の導体層が、主として電源層用の導体層又はアース用の導体層であることが好適である。(相対的に厚い、薄いとは、全ての導体層の厚みを比較して、その傾向がある場合、この場合は、内層は他の導体層と比較すると相対的に厚いということとなり、表層はその逆であると言うことを示している。)但し、表層の導体層を電源用、または、アース用の導体層として用いてもよいし、一面を電源用の導体層、他面をアース用の導体層として用いてもよい。

即ち、内層側に厚い導体層を配置させることにより、その厚みを任意に変更したとしても、その内層の導体層を覆うように、樹脂層を形成させることが可能となるため、コアとしての平坦性が得られる。そのため、層間絶縁層の導体層にうねりを生じさせることがない。多層コア基板の表層に薄い導体層を配置しても、内層の導体層と足した厚みでコアの導体層として十分な導体層の厚みを確保することができる。これらを、電源層用の導体層又はアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

- [0025] 多層コア基板にしたとき、内層の導体層は、導体層の厚みを相対的に厚くし、かつ、電源層として用いて、表層の導体層は、内層の導体層を挟むようにし、形成され、かつ、信号線として用いられている場合であることも望ましい。この構造により、前述の電源強化を図ることができる。

- [0026] さらに、コア基板内で導体層と導体層との間に信号線を配置することでマイクロストリップ構造を形成させることができるために、インダクタンスを低下させ、インピーダンス整合を取ることができるのである。そのために、電気特性も安定化することができるのである。また、表層の導体層を相対的に薄くすることがさらに望ましい構造となるのである。コア基板は、スルーホールピッチを600 μ m以下にしてもよい。

- [0027] 多層コア基板は、電氣的に隔絶された金属板の両面に、樹脂層を介在させて内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層が形成されて成ることが好適である。中央部に電氣的に隔絶された金属板を配置す

ることで、十分な機械的強度を確保することができる。更に、金属板の両面に樹脂層を介在させて内層の導体層を、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層を形成することで、金属板の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

多層コア基板は、36合金や42合金等の低熱膨張係数の金属板の両面に、絶縁層を介在させて内層の導体層が、更に、当該内層の導体層の外側に絶縁層を介在させて表面の導体層が形成されても良い。中央部に電氣的に隔絶された金属板を配置することで、多層プリント配線板のX-Y方向の熱膨張係数をICの熱膨張係数に近づけることができ、ICと多層プリント配線板の接続部での樹脂層の局所ヒートサイクル性が向上する。更に、金属板の両面に絶縁層を介在させて内層の導体層を、更に、当該内層の導体層の外側に絶縁層を介在させて表面の導体層を形成することで、金属板の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

[0028] 図10は、縦軸にICチップの電圧、横軸には時間経過を示している。図10は、1GHz以上の高周波ICチップを実装した電源供給用のコンデンサを備えないプリント配線板をモデルにしたものである。線Aは、1GHzのICチップの電圧の経時変化を示したものであり、線Bは、3GHzのICチップの電圧の経時変化を示したものである。この図においては、スイッチをONしてから複数回発生する電圧降下の内、3回目の電圧降下を示している。その経時変化は、ICチップが起動し始めたとき、瞬時に大量の電源が必要となる。その供給が不足していると電圧が降下する(X点、X'点)。その後、供給する電源が徐々に充足されるので、電圧降下は解消される。しかしながら、電圧が降下したときには、ICチップの誤作動やエラーを引き起こしやすくなる。つまり、電源の供給不足によるICチップの機能が十分に機能、起動しないがために起こる不具合である。この電源不足(電圧降下)はICチップの周波数は増えるにつれて、大きくなっていく。そのために、電圧降下を解消するためには、時間が掛かってしまい、所望の機能、起動を行うために、タイムラグが生じてしまう。

[0029] 前述の電源不足(電圧降下)を補うために、外部のコンデンサと接続させて、該コンデンサ内に蓄積された電源を放出することにより、電源不足もしくは電圧降下を小さく

することができる。

図11には、コンデンサを備えたプリント基板をモデルにしたものである。線Cは、小容量のコンデンサを実装して、1GHzのICチップにおける電圧の経時変化を示したものである。コンデンサを実装していない線Aに比べると電圧降下の度合いが小さくなってきている。さらに、線Dは、線Cで行ったものに比べて大容量のコンデンサを実装して、線C同様に経時変化を示したものである。さらに線Cと比較しても、電圧降下の度合いが小さくなってきている。それにより、所望のICチップも機能、起動を行うことができるのである。しかしながら、図10に示したように、ICチップがより高周波領域になると、より多くのコンデンサ容量が必要になってしまい、そのためにコンデンサの実装する領域を設定する必要となるため、電圧の確保が困難になってしまい、動作、機能を向上することができないし、高密度化という点でも難しくなってしまう。

- [0030] 多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚み $\alpha 2$ として、 $\alpha 1 / \alpha 2$ を変えたときの電圧降下の様子を図12中のグラフに示す。図12中に、線Cは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = \alpha 2$ における電圧の経時変化を示している。また、線Fは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 1.5 \alpha 2$ における電圧の経時変化を示し、線Eは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 2.0 \alpha 2$ における電圧の経時変化を示している。コアの導体層の厚みの和が厚くなるにつれて、電源不足もしくは電圧降下が小さくなってきている。そのために、ICチップの機能、動作の不具合の発生が少なくなるということがいえる。コア基板の電源用の導体層の厚みの和を厚くすることにより、導体層の体積が増すことになる。体積が増すと導体抵抗が低減させるので、伝達される電源における電圧、電流への損失がなくなる。そのために、ICチップー電源間での伝達損失が小さくなり、電源の供給が行われるので、誤動作やエラーなどを引き起こさない。この場合は、特に電源用の導体層の厚みの和による要因が大きく、コア基板における電源用の導体層の厚みの和を層間絶縁層上の導体層の厚みよりも厚くすることにより、その効果を奏する。

- [0031] さらに、コア基板内にコンデンサや誘電体層、抵抗などの電子部品を内蔵した基板であっても、その効果は顕著に表れる。内蔵させることにより、ICチップとコンデンサ

もしくは誘電体層との距離を短くすることができる。そのために、ループインダクタンスを低減することができる。電源不足もしくは電圧降下を小さくすることができる。例えば、コンデンサや誘電体層を内蔵したコア基板においても、コアの基板の導体層および電源層の導体層の厚みを層間絶縁層上の導体層の厚みよりも厚くすることにより、メインの電源と内蔵されたコンデンサや誘電体層の電源との双方の導体抵抗を減らすことができるので、伝達損失を低減することができ、コンデンサを内蔵した基板の効果をいっそう発揮されるようになる。

[0032] コア基板の材料は、樹脂基板で検証を行ったが、セラミック、金属コア基板でも同様の効果を奏することがわかった。また、導体層の材質も銅からなる金属で行ったが、その他の金属でも、効果が相殺されて、誤動作やエラーが発生が増加するということは確認されていないことから、コア基板の材料の相違もしくは導体層を形成する材質の相違には、その効果の影響はないものと思われる。より望ましいのは、コア基板の導体層と層間絶縁層の導体層とは、同一金属で形成されることである。電気特性、熱膨張係数などの特性や物性が変わらないことから、本願の効果を奏される。

[0033] [第1の発明の効果]

第1の発明により、ICチップー基板ー電源の導体における抵抗を低減させることができ、伝達損失が低減される。そのために、伝達される信号や電源が所望の能力が発揮される。そのために、ICチップの機能、動作などが正常に作動するために、誤動作やエラーを発生することがない。ICチップー基板ーアースの導体における抵抗を低減させることができ、信号線、電源線でのノイズの重畳を軽減し、誤作動やエラーを防ぐことができる。

また、第1の発明により、ICチップの初期起動時に発生する電源不足(電圧降下)の度合いを小さくなることもわかり、高周波領域のICチップ、特に3GHz以上のICチップを実装したとしても、問題なく起動することができることが分かった。そのため、電氣的な特性や電気接続性をも向上させることができるのである。

そして、コア基板を多層化して、導体層の厚みの和を厚くすることで、絶縁信頼性にも優れたプリント配線板とすることができる。

さらに、プリント基板の回路内での抵抗を従来のプリント基板に比べても、小さくする

ことができる。そのために、バイアスを付加して、高温高湿下で行う信頼性試験(高温高湿バイアス試験)を行っても、破壊する時間も長くなるので、信頼性も向上することができる。

また、電源用の導体層の抵抗が低くなるため、多量の電気が流れても発熱を抑えられる。アース層も同様である。この点でも、誤動作が発生しにくいし、IC実装後のプリント配線板の信頼性が高くなる。

[0034] [第2の発明]

第2の発明として、発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

第2の発明は、表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電氣的な接続の行なわれるプリント配線板において、

前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電氣的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、

前記電源用スルーホールが、多層コア基板の内層のアース用導体層を貫通する際、多数の電源用スルーホールの内、少なくともIC直下、または、70%以上の電源用スルーホールは、アース用導体層において、電源用スルーホールから延出する導体回路を有しない、または／および

前記アース用スルーホールが、多層コア基板の内層の電源用導体層を貫通する際、多数のアース用スルーホールの内、少なくともIC直下、または、70%以上のアース用スルーホールは、電源用導体層において、アース用スルーホールから延出する導体回路を有しないことを技術的特徴とする。

[0035] 但し、IC直下の全スルーホールを上述した特徴のスルーホールとする必要は無く、一部のスルーホールに本発明を適用してもよい。

すなわち、表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層

が形成されてバイアホールを介して電氣的な接続の行なわれるプリント配線板において、

前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電氣的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、

前記電源用スルーホールが、多層コア基板の内層のアース用導体層を貫通する際、多数の電源用スルーホールの内、IC直下の一部の電源用スルーホールは、アース用導体層において、電源用スルーホールから延出する導体回路を有せず、前記アース用スルーホールが、多層コア基板の内層の電源用導体層を貫通する際、多数のアース用スルーホールの内、IC直下の一部のアース用スルーホールは、電源用導体層において、アース用スルーホールから延出する導体回路を有しないことを技術的特徴とするプリント配線板である。

[0036] さらに、アース用導体層において電源用スルーホールから延出する導体回路を有しない電源用スルーホールと電源用導体層においてアース用スルーホールから延出する導体回路を有しないアース用スルーホールが、格子状または千鳥状に配置されていることを特徴とする。この場合、電源用スルーホールとアース用スルーホールが交互に位置していることが好ましい。

以下、アース用導体層において電源用スルーホールから延出する導体回路を有しない電源用スルーホールをダミーランドを有しない電源用スルーホール、電源用導体層においてアース用スルーホールから延出する導体回路を有しないアース用スルーホールをダミーランドを有しないアース用スルーホール、単にダミーランドを有しないスルーホールと言う。

[0037] 更に、多層コア基板の電源用の導体層の厚みの和 $\alpha 1$ が、層間絶縁層上の導体層の厚み $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを技術的特徴とする。

更に、多層コア基板のアース用の導体層の厚みの和 $\alpha 3$ が、層間絶縁層上の導体層の厚み $\alpha 2$ に対して、 $\alpha 3 < \alpha 1 \leq 40 \alpha 2$ であることを技術的特徴とする。

[0038] [第2の発明の効果]

第2の発明では、電源用または／およびアース用スルーホールのうち、IC直下また

は70%以上のスルーホールは、多層コア基板の内層にダミーランドを有しない。

第2の発明の第1の効果として、スルーホール間隔が狭ピッチとなるので、ファイン化が可能となる。それにより、プリント配線板の小型化が可能となる。

第2の効果として、電源用スルーホールとアース用スルーホール間の間隔を狭くできるので、相互インダクタンスを減少させることが可能となる。そのために、主に、ICの初期動作における1回目および2回目の電源降下による電源不足が小さくなる。電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こし難くなる。

[0039] 第3の効果として、ICのトランジスタに電源を供給する配線長が短くなるので、ICの電圧降下がおきにくい。それに対し、ダミーランドを有する多層プリント配線板では、ICのトランジスタに電源を供給する配線長が長くなる。なぜなら、電気は導体の表面を流れやすいので、ダミーランドを有する場合の配線長は、スルーホールの配線長にダミーランド表面の配線長が加わるからである。

ダミーランドを有しないスルーホールがIC直下の一部であっても同様な効果が得られる。なぜなら、電気は抵抗が小さい配線を優先的に流れるため、ダミーランドを有しないスルーホールが一部であっても、ダミーランドを有しないスルーホールを経由してICのトランジスタに電源を供給できるためである。しかしながら、ダミーランドを有しない電源用スルーホールとアース用スルーホールは、それぞれ、全電源用スルーホール、全アース用スルーホールに対して各々30%以上が好ましく、さらには50%以上が好ましい。ダミーランドを有しないスルーホール数が少ないと、そのようなスルーホールに電気が集中するため本発明の効果が小さくなってしまう。

さらに、ダミーランドを有しない電源用スルーホールとダミーランドを有しないアース用スルーホールは格子状または千鳥状に配置されるのが好適である。この場合、交互に配置されるのがより好ましい。なぜなら、相互インダクタンスが減少するため、ICのトランジスタへの電源供給が短時間に行われる。

[0040] 第4の効果としては、多層コアにおける内層の電源層やアース層の導体面積を多くできるため、両導体層の導体抵抗が小さくなるので、ICのトランジスタへの電源供給がスムーズに行われる。なぜなら、ダミーランドがないので、よりスルーホールに近接

して電源層やアース層を形成できる(図37参照)。図37中のスルーホールV周辺とW周辺を比較すると、Wにはダミーランドがないため、スルーホールに近接して導体層を形成できるので、V周辺より多くの導体層が形成されている。

以上の効果より、同時スイッチングを行っても本発明の多層プリント配線板によれば、ICのトランジスタが電源不足になりにくいため、誤動作が発生しづらい。

さらに、多層コア基板の表面および裏面の導体層と内層の導体層との厚みを厚くする。特に内層の導体層の厚みを厚くするのが好適である。

この効果として、導体層を厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗を低減することができる。そのため、導体層を電源層として用いることで、ICチップへの電源の供給能力が向上する。また、導体層をアース層として用いることで、ICチップへの信号、電源に重畳するノイズを低減することができる。そのため、該プリント配線板にICチップを実装したときに、ICチップー基板ー電源までのインダクタンスを低減することができ、初期動作における3回目の電圧降下を主に改善することができる。また、図34に示すように、電位が逆のスルーホールと導体層とが対向している部分の面積(対向面積)、距離が増大すると共に両者が接近するため、1回目および2回目の電圧降下が更に低減する。スルーホールがダミーランドを有していないので、例えばダミーランドを有しない電源用スルーホールと逆電位のアース層との距離が近接することとなる。さらに、アース層が厚いので、電源用スルーホールとアース層が対向する距離が長くなる。このため、単に、ダミーランドを有しない多層プリント配線板とするよりも電源降下を改善することが可能となる。図34に示したXの距離としては、15〜150 μm が好ましい。15 μm 以下だと絶縁信頼性が低下する。一方、150 μm を越えると電圧降下を改善する効果が小さくなる。

このように、スルーホールが多層コア基板の他の電位を有する内層を貫通する際、IC直下または70%以上のスルーホールにダミーランドを設けず、導体厚を厚くすることで、初期動作時に発生する主な電圧降下(1回目から3回目の電圧降下)を改善することができる。そのため、該プリント配線板に高周波のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

ダミーランドを有しないスルーホールがIC直下において一部であっても同様な効果が得られる。

- [0041] 内層においてダミーランドを設けない多層コア構造は、特に、多層コア基板の表裏の導体厚みより内層の導体厚を厚くして、コアの導体層の厚みの和($\alpha 1$)を確保する場合に有効である。その理由は、表裏の導体層には、その上に形成するビルドアップ層との電氣的接続を取るためスルーホールランドが必須となる。もし、表裏の導体層の厚みが厚いと、スルーホールランドと他のスルーホールランドまたは他の導体回路との絶縁信頼性を確保するためそれらの間の絶縁間隔を広くする必要があるので、スルーホール間隔の狭ピッチ化が出来ないからである。また、多層コア基板の表裏の導体厚を厚くすると、その上に形成する層間絶縁層にうねりが生じてしまうために、インピーダンス整合することが出来なくなってしまう。

- [0042] 多層コア基板の表層の導体層と内層の導体層をそれぞれ足した厚みが、コアの導体層の厚みとなる。この場合、表層の導体層と内層の導体層とが電氣的な接続があり、かつ、2箇所以上での電氣的な接続があるものであるときに適用される。なお、パッド、ランド程度の面積であれば、その面積の導体層の厚みは、足した厚みとはならない。導体層とは、電源層或いはアース層であることが望ましい。

この場合は、3層(表層+内層)からなる多層コア基板でもよい。3層以上の多層コア基板でもよい。必要に応じて、多層コア基板の内層にコンデンサや誘電体層、抵抗などの部品を埋め込み、形成させた電子部品収納多層コア基板を用いてもよい。

- [0043] さらに、多層コア基板の内層の導体層を厚くしたとき、ICチップの直下に該当の導体層を配置したほうがよい。ICチップの直下に配設させることにより、ICチップと電源層との距離を最短にすることができ、そのために、よりインダクタンスを低減することができるのである。そのためにより効率よく電源供給がなされることとなり、特に3回目の電圧降下が解消されるのである。このときも、多層コア基板の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることが望ましい。

- [0044] 多層コア基板の内層の導体層の厚みを、層間絶縁層上の導体層よりも厚くする。これにより、多層コア基板の表面に薄い導体層を配置しても、内層の厚い導体層と足

すことで、コアの導体層として十分な厚みを確保できる。つまり、大容量の電源が供給されたとしても、問題なく起動することができるため、誤作動や動作不良を引き起こさない。このときも、多層コア基板の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることが望ましい。

[0045] 図28は、電源がONされた瞬間からICの電圧の時間的变化を示している。縦軸にICの電圧、横軸には時間経過を示している。図28は、1GHz以上の高周波ICチップを実装し、電源用のコンデンサを備えないプリント配線板をモデルにしたものである。線Bは、1GHzのICチップへの電圧の経時変化を示したものであり、線Aは、3GHzのICチップへの電圧の経時変化を示したものである。その経時変化は、ICチップが起動し始めたとき、瞬時に大量の電源が必要となる。その供給が不足していると電圧が降下する(X点、X'点:1回目の電圧降下)。その後、一旦電圧が上昇した後、また下がり(2回目の電圧降下)、更に、上昇した後、下がり(3回目の電圧降下)、以降は小さな振幅を繰り返しながら徐々に電圧は上昇していく。しかしながら、電圧が降下したときには、ICチップの誤作動やエラーを引き起こしやすくなる。つまり、電源の供給不足によるICチップの機能が十分に機能、起動しないがために起こる不具合である。この電源不足(電圧降下)はICチップの周波数は増えるにつれて、大きくなっていく。そのために、電圧降下を解消するためには、時間が掛かってしまい、所望の機能、起動を行うために、タイムラグが生じてしまう。

[0046] 図29は、従来構造のプリント配線板および本発明のプリント配線板に、高周波のICチップを実装したときのICの電圧の時間的变化を示している。尚、ICの電圧測定は、直接測定できないので、プリント配線板において、測定できるよう測定回路を形成した。Aの多層コア(従来構造)は、4層で、全てのスルーホールがダミーランドを有し、かつ、電源用の各層の導体厚は全て同じで $15 \mu\text{m}$ である(コア基板の電源層は2層、層間絶縁層上の導体厚みは $30 \mu\text{m}$)。Bの多層コアは、Aと同じく4層であるが、表層に $15 \mu\text{m}$ 、内層に $30 \mu\text{m}$ の電源用導体層を有し、IC直下の電源用スルーホールは、多層コアの内層のアース層において電源用スルーホールから延出する導体回路を有しておらず、IC直下のアース用スルーホールは、多層コアの内層の電源層においてアース用スルーホールから延出する導体回路を有していない。Cは、Bの多層コ

アにおいて、内層の導体厚を $75\mu\text{m}$ にしてある。多層コアの導体層は電源層とグラウンド層が交互配置である。A, B, Cとも上記多層コアに層間絶縁層と導体層を交互にビルドアップした多層プリント配線板である。図29より、本発明のスルーホールから延出する導体回路を有しない多層コア構造にすることで、1回目および2回目の電圧降下が改善されていることがわかる。そのために、ICチップの機能、動作の不具合の発生が少なくなることが言える。また、内層の導体厚を厚くすることで、更に、1回目及び2回目の電圧降下が改善されていることがわかる。内層回路の厚みが $40\sim 150\mu\text{m}$ の場合も $75\mu\text{m}$ と同様な結果であった。

- [0047] なお、多層コア基板では、多層コア基板のすべての層の電源層の導体層の厚みが、層間絶縁層上の導体層の厚みよりも厚いときでも、多層コア基板のすべての層の電源層の導体層の厚みが、層間絶縁層上の導体層の厚みと同等もしくはそれ以下のときでも、全ての層の導体の厚みを足した厚みの総和が、層間絶縁層上の導体層の厚みより、厚くなったときに、その効果を奏する。

発明を実施するための最良の形態

- [0048] A. 第1実施例

(第1実施例-1)

図1〜図9を参照して本発明の第1実施例-1に係る多層プリント配線板について説明する。

まず、第1実施例-1に係る多層プリント配線板10の構成について、図8、図9を参照して説明する。図8は、該多層プリント配線板10の断面図を、図9は、図8に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図8に示すように、多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表面側に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、アース用のプレーン層として形成されている。更に、多層コア基板30の内部の表面側に、内層の導体回路16、導体層16E、裏面に導体回路16、導体層16Pが形成されている。上側の導体層16Eは、アース用のプレーン層として形成され、下側の導体層16Pは、電源用のプレーン層として形成されている。電

源用のプレーン層との接続は、スルーホールやバイアホールにより行われる。プレーン層は、片側だけの単層であっても、2層以上に配置したものでもよい。2層〜4層で形成されることが望ましい。5層以上では電氣的な特性の向上が確認されていないことからそれ以上多層にしてもその効果は4層と同等程度である。内層が5層以上となるとコア基板の厚みが厚くなるので逆に電氣的特性が悪化する場合もある。特に、2層で形成されることが、多層コア基板の剛性整合という点において基板の伸び率が揃えられるので反りが出にくいからである。多層コア基板30の中央には、電氣的に隔絶された金属板12が收容されている。(該金属板12は、心材としての役目も果たしているが、スルーホールやバイアホールなどどの電氣な接続がされていない。主として、基板の反りに対する剛性を向上させているのである。)該金属板12に、絶縁樹脂層14を介して表面側に、内層の導体回路16、導体層16E、裏面に導体回路16、導体層16Pが、更に、絶縁樹脂層18を介して表面側に導体回路34、導体層34Pが、裏面に導体回路34、導体層34Eが形成されている。多層コア基板30は、スルーホール36を介して表面側と裏面側との接続が取られている。また、内層との電氣的接続も取られている。

[0049] 多層コア基板30の表面の導体層34P、34Eの上には、バイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

[0050] 図9中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側の外部端子76Dは、ドータボード94のランド96へ接続されている。この場合における外部端子とは、PGA、BGA、半田バンプ等を指している。

[0051] 第1実施例-1の多層プリント配線板の製造工程

A. 層間樹脂絶縁層の樹脂フィルムの作製

ビスフェノールA型エポキシ樹脂(エポキシ当量455、油化シェルエポキシ社製エビ°

コート1001) 29重量部、クレゾールノボラック型エポキシ樹脂(エポキシ当量215、大日本インキ化学工業社製 エピクロンN-673) 39重量部、トリアジン構造含有フェノールノボラック樹脂(フェノール性水酸基当量120、大日本インキ化学工業社製 フェノライトKA-7052) 30重量部をエチルジグリコールアセテート20重量部、ソルベントナフサ20重量部に攪拌しながら加熱溶解させ、そこへ末端エポキシ化ポリブタジエンゴム(ナガセ化成工業社製 デナレックスR-45EPT) 15重量部と2-フェニル-4,5-ビス(ヒドロキシメチル)イミダゾール粉末品1.5重量部、微粉碎シリカ2.5重量部、シリコン系消泡剤0.5重量部を添加しエポキシ樹脂組成物を調製した。

得られたエポキシ樹脂組成物を厚さ38 μm のPETフィルム上に乾燥後の厚さが50 μm となるようにロールコーターを用いて塗布した後、80〜120°Cで10分間乾燥させることにより、層間樹脂絶縁層用樹脂フィルムを作製した。

[0052] B. 樹脂充填材の調製

ビスフェノールF型エポキシモノマー(油化シェル社製、分子量:310、YL983U) 100重量部、表面にシランカップリング剤がコーティングされた平均粒径が1.6 μm で、最大粒子の直径が15 μm 以下のSiO₂ 球状粒子(アドテック社製、CRS 1101-CE) 170重量部およびレベリング剤(サンノブコ社製 ペレノールS4) 1.5重量部を容器にとり、攪拌混合することにより、その粘度が23±1°Cで44〜49Pa・sの樹脂充填材を調製した。なお、硬化剤として、イミダゾール硬化剤(四国化成社製、2E4MZ-CN) 6.5重量部を用いた。充填材用樹脂としては、他のエポキシ樹脂(例えば、ビスフェノールA型、ノボラック型など)、ポリイミド樹脂、フェノール樹脂などの熱硬化性樹脂を用いてもよい。

[0053] C. 多層プリント配線板の製造

図8に示す多層プリント配線板10の製造方法について図1〜図7を参照して説明する。

(1) <金属層の形成工程>

図1(A)に示す厚さ20〜400 μm の間の内層金属層(金属板)12に、表裏を貫通する開口12aを設ける(図1(B))。第1実施例では、20 μm の金属板を用いた。金属層の材質としては、銅、ニッケル、亜鉛、アルミニウム、鉄などの金属が配合されてい

るものを用いることができる。ここで、低熱膨張係数の36合金や42合金を用いるとコア基板の熱膨張係数をICの熱膨張係数に近づけることが可能となるので、熱ストレスを低減できる。開口12aは、パンチング、エッチング、ドリリング、レーザなどによって穿設する。場合によっては、開口12aを形成した金属層12の全面に電解めっき、無電解めっき、置換めっき、スパッタによって、金属膜13を被覆してもよい(図1(C))。なお、金属板12は、単層でも、2層以上の複数層でもよい。また、金属膜13は、開口12aの角部において、曲面を形成するほうが望ましい。それにより、応力の集中するポイントがなくなり、その周辺でのクラックなどの不具合が引き起こしにくい。なお、金属板12はコア基板内に内蔵しなくてもよい。

[0054] (2) <内層絶縁層及び導体層の形成工程>

金属層12の全体を覆い、開口12a内を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み30〜400 μm 程度のBステージ状の樹脂フィルムで金属板12で挟んで(図1(D))、さらに、その外側に12〜275 μm の銅箔を積層してから、熱圧着して硬化させ絶縁樹脂層14及び導体層16を形成することができる(図1(E))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。

材料としては、ポリイミド樹脂、エポキシ樹脂、フェノール樹脂、BT樹脂等の熱硬化性樹脂をガラスクロス、アラミド不織布等の心材に含浸させたプリプレグを用いることが望ましい。それ以外にも樹脂を用いてもよい。第1実施例では、50 μm のプリプレグを用いた。

導体層16を形成する方法は、金属箔上に、めっきなどで形成してもよい。

[0055] (3) <内層金属層の回路形成工程>

2層以上にしてもよい。アディティブ法により金属層を形成してもよい。

テンティング法、エッチング工程等を経て、内層金属層16から内層導体層16、16P、16Eを形成させた(図1(F))。このときの内層導体層の厚みは、10〜250 μm で形成させた。しかしながら、上述の範囲を超えてもよい。なお、第1実施例では、内層の電源用の導体層の厚みは、25 μm 厚である。この回路形成工程において、コア基板の絶縁信頼性を評価できるよう、テストパターン(コア基板の絶縁抵抗評価用パタ

ーン)として、導体幅／導体間の間隔＝ $150\mu\text{m}/150\mu\text{m}$ の絶縁抵抗測定用の櫛歯パターンを形成した。この時、ICの電源と電氣的に接続している電源用スルーホールが内層回路のグランド層を貫通する際、電源用スルーホールから延出する配線パターンを有しなくてもよい。同様に、ICのグランドと電氣的に接続しているグランド用スルーホールも、内層回路の電源層を貫通する際、グランド用スルーホールから延出する配線パターンを有しなくてもよい。このような構造にすることで、スルーホールピッチを狭くできる。また、スルーホールと内層回路間の間隔が狭ピッチとなるため、相互インダクタンスが減少する。

[0056] (4) <外層絶縁層及び導体層の形成工程>

内層導体層16、16P、16Eの全体を覆い、およびその回路間の隙間を充填するために、絶縁樹脂を用いる。形成方法としては、(3)までで形成した途中基板の両面に、例えば、厚み $30\sim 200\mu\text{m}$ 程度のBステージ状の樹脂フィルム、厚み $10\sim 275\mu\text{m}$ の金属箔の順で積層した後、熱圧着してから硬化させ、コア基板の外層絶縁樹脂層18及びコア基板最外導体層 34α を形成させる(図2(B))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。加圧することで表面を平坦にすることができる。また、ガラスクロス、アラミド不織布を心材とするBステージのプリプレグを用いてもよい。第1実施例では、 $200\mu\text{m}$ 厚のプリプレグを用いた。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで2層以上にしてもよい。アディティブ法により金属層を形成してもよい。

[0057] (5) <スルーホールの形成工程>

基板の表裏を貫通する開口径 $50\sim 400\mu\text{m}$ のスルーホール用通孔 36α を形成する(図2(C))。形成方法としては、ドリル、レーザもしくはレーザとドリルの複合により形成させる(最外層の絶縁層の開口をレーザで行い、場合によっては、そのレーザでの開口をターゲットマークとして用いて、その後、ドリルで開口して貫通させる)。形状としては、直線状の側壁を有するものであることが望ましい。場合によっては、テーパ状であってもよい。

[0058] スルーホールの導電性を確保するために、スルーホール用通孔 36α 内にめっき膜

22を形成し、表面を粗化した後(図2(D))、充填樹脂23を充填することが望ましい(図2(E))。充填樹脂としては、電気的な絶縁されている樹脂材料、(例えば 樹脂成分、硬化剤、粒子等が含有されているもの)、金属粒子による電気的な接続を行っている導電性材料(例えば、金、銅などの金属粒子、樹脂材料、硬化剤などが含有されているもの。)のいずれかを用いることができる。充填後、仮乾燥して、基板表面の電解銅めっき膜22上に付着した余分な充填樹脂を研磨で除去し、150℃で1時間乾燥し完全硬化した。

めっきとしては、電解めっき、無電解めっき、パネルめっき(無電解めっきと電解めっき)などを用いることができる。金属としては、銅、ニッケル、コバルト、リン、等が含有しもので形成されるのである。めっき金属の厚みとしては、5〜30 μm の間で形成されることが望ましい。

- [0059] スルーホール用通孔36 α 内に充填する充填樹脂23は、樹脂材料、硬化剤、粒子などからなるものを絶縁材料を用いることが望ましい。粒子としては、シリカ、アルミナなどの無機粒子、金、銀、銅などの金属粒子、樹脂粒子などの単独もしくは複合で配合させる。粒径が0.1〜5 μm のものを同一径もしくは、複合径のものと混ぜたものを用いることができる。樹脂材料としては、エポキシ樹脂(例えば、ビスフェノール型エポキシ樹脂、ノボラック型エポキシ樹脂など)、フェノール樹脂などの熱硬化性樹脂、感光性を有する紫外線硬化樹脂、熱可塑性樹脂などが単一もしくは混合したものを用いることができる。硬化剤としては、イミダゾール系硬化剤、アミン系硬化剤などを用いることができる。それ以外にも、硬化安定剤、反応安定剤、粒子等を含まれていてもよい。導電性材料を用いてもよい。この場合は、金属粒子、樹脂成分、硬化剤などからなるものが導電性材料である導電性ペーストとなる。場合によっては、半田、絶縁樹脂などの絶縁材料の表層に導電性を有する金属膜を形成したものなどを用いてもよい。めっきでスルーホール用通孔36 α 内を充填することも可能である。導電性ペーストは硬化収縮がなされるので、表層に凹部を形成してしまうことがあるからである。

- [0060] (6) <最外層の導体回路の形成工程>

全体にめっき膜を被覆することで、スルーホール36の直上に蓋めっき25を形成し

でもよい(図3(A))。その後、テンテイング法、エッチング工程等を経て、外層の導体回路34、34P、34Eを形成する(図3(B))。これにより、多層コア基板30を完成する。なお、第1実施例では、多層コア基板の表面の電源用の導体層の厚みは、 $15\mu\text{m}$ 厚である。

このとき、図示されていないが多層コア基板の内層の導体層16等との電気接続を、バイアホールやブラインドスルーホール、ブラインドバイアホールにより行ってもよい。

[0061] (7) 導体回路34を形成した多層コア基板30を黒化处理、および、還元処理を行い、導体回路34、導体層34P、34Eの全表面に粗化面34 β を形成する(図3(C))。

[0062] (8) 多層コア基板30の導体回路非形成部に樹脂充填材40の層を形成する(図4(A))。

[0063] (9) 上記処理を終えた基板の片面を、ベルトサンダー等の研磨により、導体層34P、34Eの外縁部に樹脂充填材40が残らないように研磨し、次いで、上記研磨による傷を取り除くため、導体層34P、34Eの全表面(スルーホールのランド表面を含む)にパフ等でさらに研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、 100°C で1時間、 150°C で1時間の加熱処理を行って樹脂充填材40を硬化した(図4(B))。

また、導体回路間の樹脂充填を行わなくてもよい。この場合は、層間絶縁層などの樹脂層で絶縁層の形成と導体回路間の充填を行う。

[0064] (10) 上記多層コア基板30に、エッチング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36のランド表面をエッチング等により、導体回路の全表面に粗化面36 β を形成した(図4(C))。

[0065] (11) 多層コア基板30の両面に、層間樹脂絶縁層用樹脂フィルム50 γ を基板上に載置し、仮圧着して裁断した後、さらに、真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した(図5(A))。

[0066] (12) 次に、波長 $10.4\mu\text{m}$ の CO_2 ガスレーザにて、ビーム径 4.0mm 、トップハットモード、パルス幅 $3.0\sim 7.9\mu\text{s}$ 、マスクの貫通孔の径 $1.0\sim 5.0\text{mm}$ 、1〜3ショットの条件で層間樹脂絶縁層に、直径 $80\sim 100\mu\text{m}$ のバイアホール用開口50aを形成した(図5(B))。

- [0067] (13) 基板30を、60g/lの過マンガン酸を含む80℃の溶液に10分間浸漬し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に粗化面50 α を形成した(図5(C))。粗化面は0.1~5 μ mの間で形成した。
- [0068] (14) 次に、上記処理を終えた基板30を、中和溶液(シプレイ社製)に浸漬してから水洗いした。さらに、粗面化处理(粗化深さ3 μ m)した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。
- [0069] (15) 次に、無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ0.6~3.0 μ mの無電解銅めっき膜を形成し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に無電解銅めっき膜52が形成された基板を得る(図5(D))。

無電解銅めっき液

硫酸銅:0.03mol/l

EDTA:0.200mol/l

HCHO:0.18g/l

NaOH:0.100mol/L

α 、 α' -ピピリジル:100mg/l

ポリエチレングリコール:0.10g/l

めっき条件

34℃の液温で40分

- [0070] (16) 無電解銅めっき膜52が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して露光したのち、現像処理することにより、めっきレジスト54を設けた(図6(A))。なお、この層間絶縁層上の一部に、多層コア基板の導体厚により発生する層間絶縁層のうねりの影響を評価するために、めっき形成後の配線パターン(最小線間、線幅形成能力評価パターン)が導体幅/導体間の間隔=5/5 μ m、7.5/7.5 μ m、10/10 μ m、12.5/12.5 μ m、15/15となるようにめっきレジストを形成した。めっきレジストの厚みは、10~30 μ mの間を用いた。
- [0071] (17) ついで、基板30に電解めっきを施し、めっきレジスト54非形成部に、厚さ5~2

0 μ mの電解銅めっき膜56を形成した(図6(B))。

[電解めっき液]

硫酸	2. 24 mol/l
硫酸銅	0. 26 mol/l
添加剤	19. 5 ml/l

(アテックジャパン社製、カパラシドGL)

[電解めっき条件]

電流密度	1 A/dm ²
時間	90 \pm 5 分
温度	22 \pm 2 $^{\circ}$ C

[0072] (18)さらに、めっきレジストを5%程度のKOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッチング処理して溶解除去し、独立の導体回路58及びバイアホール60とした(図6(C))。

[0073] (19)ついで、上記(12)と同様の処理を行い、導体回路58及びバイアホール60の表面に粗化面58 α 、60 α を形成した。本実施例の層間絶縁層上の導体層の厚みは20 μ mであった(図6(D))。

[0074] (20)上記(11)～(19)の工程を繰り返すことにより、さらに上層の導体回路を形成し、多層配線板を得た(図7(A))。

[0075] (21)次に、多層配線基板の両面に、市販のソルダーレジスト組成物70を12～30 μ mの厚さで塗布し、70 $^{\circ}$ Cで20分間、70 $^{\circ}$ Cで30分間の条件で乾燥処理を行った後(図7(B))、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200 μ mの直径の開口71を形成した(図7(C))。

そして、さらに、80 $^{\circ}$ Cで1時間、100 $^{\circ}$ Cで1時間、120 $^{\circ}$ Cで1時間、150 $^{\circ}$ Cで3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが10～25 μ mのソルダーレジストパターン層を形成した。

[0076] (22)次に、ソルダーレジスト層70を形成した基板を、無電解ニッケルめっき液に浸漬して、開口部71に厚さ5 μ mのニッケルめっき層72を形成した。さらに、その基板

を無電解金めっき液に浸漬して、ニッケルめっき層72上に、厚さ0.03 μm の金めっき層74を形成した(図7(D))。ニッケル-金層以外にも、スズ、貴金属層(金、銀、パラジウム、白金など)の単層を形成してもよい。

[0077] (23)この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、スズ-鉛を含有する半田ペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズ-アンチモンを含有する半田ペーストを印刷した後、200°Cでリフローすることにより外部端子を形成し、はんだバンプを有する多層プリント配線板を製造した(図8)。

[0078] 半田バンプ76Uを介してICチップ90を取り付け、チップコンデンサ98を実装する。そして、外部端子76Dを介してデータボード94へ取り付ける(図9)。

[0079] 上述した第1実施例-1に準じて、第1実施例-2〜第1実施例-28と第1比較例-1〜第1比較例-3を作製した。但し、それぞれの実施例、比較例において、コア基板の導体層の厚み、コア基板の導体層の層数、ダミーランドを有しないスルーホール数、ダミーランドを有しない領域、層間絶縁層上の導体層の厚みを変えた。内層の導体層の厚みを変更する場合は、図1(E)において、銅箔の厚みを変更した。コア基板の表裏の導体層の厚みを変える場合は、図2(B)における銅箔の厚み、図2(D)、図3(A)におけるめっき厚みを変更した。コア基板の導体層の層数を変更する場合は、図2(B)の工程後に、回路形成、回路表面の粗化、プリプレグと銅箔の積層を所定回数繰り返すことで行った。ダミーランドを有しないスルーホール数やダミーランドを有しない領域を変更する場合は、図1(F)の回路形成(テンティング法)時において、銅箔をエッチングするためのエッチングレジスト形成時の露光マスクを変更することで行った(図19、図38参照、図19ではダミーランドが無い例、図38はダミーランドが全てある例である)。層間絶縁層上の導体層の厚みを変更する場合は、図6(B)において、めっき厚みを変更することで行った。

以下に、各実施例と比較例のコアの層数、電源用導体層の厚み、層間絶縁層上の導体層の厚み、ダミーランドを有しないスルーホール数、その領域等を示す。

[0080] (第1実施例-1)

4層コア基板の内層の電源用導体層の厚み: 25 μm

4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $40\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0081] (第1実施例-2)

4層コア基板の内層の電源用導体層の厚み: $15\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $9\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $24\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0082] (第1実施例-3)

4層コア基板の内層の電源用導体層の厚み: $45\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $60\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0083] (第1実施例-4)

4層コア基板の内層の電源用導体層の厚み: $60\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $75\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0084] (第1実施例-5)

14層コア基板の各内層の電源用導体層の厚み: $100\ \mu\text{m}$

14層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $615\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0085] (第1実施例-6)

18層コア基板の各内層の電源用導体層の厚み: $100\ \mu\text{m}$

18層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $815\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0086] (第1実施例-7)

4層コア基板の内層の電源用導体層の厚み: $15\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $45\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $60\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0087] (第1実施例-8)

4層コア基板の内層の電源用導体層の厚み: $15\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $60\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $75\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0088] (第1実施例-9)

4層コア基板の内層の電源用導体層の厚み: $50\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $65\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0089] (第1実施例-10)

4層コア基板の内層の電源用導体層の厚み: $150\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $165\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

尚、上記(4)の<外層絶縁層及び導体層の形成>工程において、 $300\ \mu\text{m}$ 厚のプリブレグを用いた。

[0090] (第1実施例-11)

4層コア基板の内層の電源用導体層の厚み: $175\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $190\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

尚、上記(4)の<外層絶縁層及び導体層の形成>工程において、 $300\ \mu\text{m}$ 厚のプリブレグを用いた。

レグを用いた。

[0091] (第1実施例-12)

4層コア基板の内層の電源用導体層の厚み: $200\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $215\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

尚、上記(4)の<外層絶縁層及び導体層の形成>工程において、 $300\ \mu\text{m}$ 厚のプリプレグを用いた。

[0092] (第1実施例-13)

第1実施例-3において、電源用スルーホールとグランド用スルーホールの一部を、上記(3)<内層金属層の回路形成工程>中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0093] (第1実施例-14)

第1実施例-3において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上記(3)<内層金属層の回路形成工程>中で示したダミーランドを有しないスルーホールとした。

[0094] (第1実施例-15)

第1実施例-9において、電源用スルーホールとグランド用スルーホールの一部を、上記(3)<内層金属層の回路形成工程>中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0095] (第1実施例-16)

第9実施例-9において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上記(3)<内層金属層の回路形成工程>中で示したダミーランドを有しないスルーホールとした。

[0096] (第1実施例-17)

第1実施例-4において、電源用スルーホールとグランド用スルーホールの一部を、上記(3)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0097] (第1実施例-18)

第1実施例-4において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上記(3)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。

[0098] (第1実施例-19)

第1実施例-10において、電源用スルーホールとグランド用スルーホールの一部を、上記(3)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0099] (第1実施例-20)

第1実施例-10において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上記(3)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。

[0100] (第1実施例-21)

第1実施例-11において、電源用スルーホールとグランド用スルーホールの一部を、上記(3)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0101] (第1実施例-22)

第1実施例-11において、IC直下部の全電源用スルーホールと全グランド用スルー

ーホールを、上記(3)＜内層金属層の回路形成工程＞中で示したダミーランドを有しないスルーホールとした。

[0102] (第1実施例-23)

第1実施例-12において、電源用スルーホールとグランド用スルーホールの一部を、上記(3)＜内層金属層の回路形成工程＞中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0103] (第1実施例-24)

第1実施例-12において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上記(3)＜内層金属層の回路形成工程＞中で示したダミーランドを有しないスルーホールとした。

[0104] (第1実施例-25)

第1実施例-7において、電源用スルーホールとグランド用スルーホールの一部を、上記(3)＜内層金属層の回路形成工程＞中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0105] (第1実施例-26)

第1実施例-7において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上記(3)＜内層金属層の回路形成工程＞中で示したダミーランドを有しないスルーホールとした。

[0106] (第1実施例-27)

6層コア基板の各内層の電源用導体層の厚み: $32.5\ \mu\text{m}$

6層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $80\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0107] (第1実施例-28)

4層コア基板の内層の電源用導体層の厚み: $125\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $140\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

[0108] (第1実施例-29)

第1実施例-27において、電源用スルーホールとグランド用スルーホールの一部を、上記(3)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0109] (第1実施例-30)

第1実施例-29において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上記(3)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。

[0110] (第1比較例-1)

4層コア基板の内層の電源用導体層の厚み: $10\ \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $10\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $20\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

(第1比較例-2)

18層コア基板の各内層の電源用導体層の厚み: $100\ \mu\text{m}$

18層コア基板表層の電源用導体層の厚み: $40\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $840\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

(第1比較例-3)

22層コア基板の各内層の電源用導体層の厚み: $100\ \mu\text{m}$

22層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $1015\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

尚、第1実施例、第1比較例の多層プリント配線板において、ダミーランドに関する記述がないものは、全てのスルーホールがダミーランドを有している。

- [0111] 第1実施例-1〜第1実施例-12、第1実施例-27、28と第1比較例-1〜第1比較例-3の多層プリント配線板に周波数3.1GHzのICチップを実装して、同じ量の電源を供給して、起動させたときの電圧の降下した量(複数発生する電圧降下のうち3回目に相当する降下量)を測定した。なお、ICにおいてICの電圧を直接測定することは出来ないので、プリント配線板上に測定可能な回路を形成して、ICの電圧を測定した。このときの電圧降下量の値、図13、図15に示した。電源電圧1.0Vのときの変動した電圧降下量の値である。

また、第1実施例-1〜第1実施例-12、第1実施例-28と第1比較例-1〜第1比較例-3のプリント配線板に、HAST試験(85℃、湿度85%、3、3V印加)を行った。なお、被評価パターンは、コア基板に形成した絶縁抵抗評価用テストパターンである。その結果を図13に示す。試験時間は、115hrで、合格は、115時間後の絶縁抵抗値が $10^7\ \Omega$ 以上であり、それを下回ると不良である。

また、第1実施例-3、4、7、8は、プリント配線板作成中において、最小線間、線幅形成能力評価パターン(第1実施例-1の上記(16)工程参照)の評価を行った。この結果を、形成能力として図14中に示す。図中で○はショートなし、×は隣り合う配線でショートがあったことを表している。

- [0112] 様々な $\alpha 1/\alpha 2$ に対して、電圧降下量とHAST後の絶縁抵抗の結果を図13、図15に示す。HAST試験後の結果は、合格が○、不良は×で記載した。また、様々な $\alpha 1/\alpha 2$ に対しての電圧降下量をグラフ化したものを図17に示す。
- [0113] 図13、図15の結果において、電源電圧1.0Vのとき、変動許容範囲が $\pm 10\%$ (3回目の電圧降下量)であれば、電圧の挙動が安定していることになり、ICチップの誤動作などを引き起こさない。つまり、この場合、電圧降下量が0.1V以内であれば、電圧降下によるICチップへの誤動作等を引き起こさないことになる。従って、0.09V以下であれば、安定性が増すことになる。それ故に、(多層コア基板の電源用の導体層の厚みの和/層間絶縁層上の導体層の厚み)の比が1.0を越えるのが良いので

ある。さらに、 $1.2 \leq (\text{多層コア基板の電源用の導体層の厚みの和} / \text{層間絶縁層上の導体層の厚み}) \leq 40$ の範囲であれば、変動許容範囲内である。

しかしながら、その値が8.25を越えると上昇し始め、40を越えると、電圧降下量が0.1Vを越えてしまう。これは、多層コア基板の導体層が厚くなったり、内層の層数が増えたりして、スルーホール長が長くなりICへの電源供給に時間を要するようになるためと推察している。

[0114] しかしながら、(多層コア基板の電源用の導体層の厚みの和/層間絶縁層上の導体層の厚み)が上述の範囲であっても、1層のみの導体層を厚くした第1実施例-11, 12は、コア基板の絶縁信頼性がその他の実施例よりも劣っていて不良であった(図13参照)。このことから、1層のみを厚くするのではなく、コアを多層化して電源用の導体層の厚みの和を上述の範囲にすることで、高周波のICを搭載しても誤動作が発生せず、絶縁信頼性に優れたプリント配線板とすることができることがわかる。

[0115] なお、第1実施例-11, 12のコア基板の絶縁性評価用テストパターンを解析したところ、線間の間隔が狭くなっていた。これが原因で絶縁抵抗は規格を下回ったと推察している。また、図14の第1実施例-3, 4と第1実施例-7, 8の比較により多層コア基板の表裏の導体層の厚みが内層の導体層の厚みより薄い方がよいこともわかる。これは、表裏に厚い導体層を形成すると、その影響で層間剤がうねってしまうため、層間絶縁層上に微細な配線を形成できないからである。

[0116] 第1実施例-1-12, 27, 28, 第1比較例-1-3にしたがって製造した多層プリント配線板について、以下に説明するような方法によって、搭載したICチップに誤動作があるかどうかを確認した。

ICチップとしては、以下のNo.1-3から選ばれるいずれか1のICチップを各多層プリント配線板に実装し、同時スイッチングを100回行って誤動作の有無を評価した。

それらの結果を図15に示す。

No.1: 駆動周波数: 3.06GHz、バスクロック(FSB): 533MHz

No.2: 駆動周波数: 3.2GHz、バスクロック(FSB): 800MHz

No.3: 駆動周波数: 3.46GHz、バスクロック(FSB): 1066MHz

[0117] No.1のICチップを実装した結果より、 $\alpha 1 / \alpha 2$ の比率が1.2-40の範囲であれ

ば、ICに誤動作が観察されないことが分かる。これは、電源層の導体抵抗が低いいため、ICへの電源供給が瞬時に行われているからと推察している。No.2のICチップを実装した結果より、ICの駆動周波数がより高速になると、より短時間にICへ電源供給する必要があるので、より好適な範囲が存在することがわかる。多層コアにおける内層の導体層が厚い第1実施例-11、12や内層の層数が多い第1実施例-5、6において誤動作が発生した理由としては、コア基板が厚くなることによる電源供給遅延以外に、信号が信号用スルーホール(ICの信号回路と電氣的に接続しているスルーホール(図示せず))を伝達する際に劣化している可能性もあると推察している。信号用スルーホールが4層コアを貫通する場合、該スルーホールは、上から絶縁層(図9における表層の電源層と内層のグランド層の間の絶縁層)、グランド層、絶縁層(図9における内層のグランド層と内層の電源層の間の絶縁層)、電源層、絶縁層(図9における内層の電源層と裏面のグランド層の間の絶縁層)を貫通する。信号配線は、周囲のグランドや電源の有無などによりインピーダンスが変化するため、例えば、表層の電源層とグランド層の間の絶縁層とグランド層との界面を境にしてインピーダンスの値が異なる。そのため、その界面において信号の反射が起こる。同様なことが他の界面でも起こる。このようなインピーダンスの変化量は、信号用スルーホールとグランド層、電源層との距離が近いほど、グランド層、電源層の厚みが厚いほど、界面の数が多いほど大きくなるから第1実施例-5、6、11、12では誤動作が発生したと推察している(信号用スルーホールとその周囲の電源層、グランド層、絶縁層の模式図と信号が反射する界面(X1、X2、X3、X4)は図39にも示した)。また、第1実施例-1、2の誤動作の理由は、電源層の厚みの和が少ないためと推察している。

- [0118] No.3のICを実装した結果より、さらにICが高速化すると、内層に厚い導体層を有していて、 $\alpha 1 / \alpha 2$ が3〜7である4層コアにすることが効果的であることがわかる。これは、短時間での電源供給と信号劣化の防止を同時に達成できるからと推察している。また、第1実施例-3、4と第1実施例-7、8の比較から、電氣的にも内層に厚い導体層を配設することが有利である事が分る。これは、内層に厚い導体層を有するため、電源用スルーホールと内層のグランド層間及びグランド用スルーホールと内層の電源層間における相互作用によりインダクタンスが小さくなるためと推察している。

[0119] 第1実施例-13-26にしたがって製造した多層プリント配線板について、以下に説明するような方法によって、搭載したICチップに誤動作があるかどうかを確認した。

ICチップとしては、以下のNo.1-3から選ばれるいずれか1のICチップを各多層プリント配線板に実装し、同時スイッチングを100回行って誤動作の有無を評価した。

それらの結果を図16に示す。図中で用いられているTHはスルーホール略である。

No.1:駆動周波数:3.06GHz、バスクロック(FSB):533MHz

No.2:駆動周波数:3.2GHz、バスクロック(FSB):800MHz

No.3:駆動周波数:3.46GHz、バスクロック(FSB):1066MHz

[0120] 第1実施例-10、27と第1実施例-19、20、29、30を比較すると、ダミーランドを有しないスルーホールとすることでICの誤動作が発生し難くなっていることが分かる。これは、ダミーランドを有しない分、電位が逆のスルーホールと内層の導体層が近接したため、相互インダクタンスが減少したためと推察している。あるいは、電気は導体の表面を流れやすいため、ダミーランドがない分、電気の流れにおける配線長が短くなったためと推察している。

第1実施例-3、4、13、14、17、18、28のプリント配線板を、高温・高湿(85度・85%)環境下に100時間放置した。その後、それぞれのプリント配線板に上述したNo.3のICチップを実装し、同時スイッチングを行ない誤動作の有無を確認した。第1実施例-3以外は誤動作しなかった。高温・高湿試験により、導体層の抵抗が大きくなったため、第1実施例-3では、誤動作が発生したと推察している。その他の実施例も同様に、抵抗は上昇するが、第1実施例-3に対して、その他は導体層の厚みが厚い、もしくは、ダミーランドを有しないスルーホールとなっているため、第1実施例-3よりインダクタンスが低いから誤動作が発生しなかったと推察している。従って、内層の導体層の厚みは、さらに、 $60\mu\text{m}$ - $125\mu\text{m}$ が好ましいと思われる。以上より、多層コアとすると、内層の導体厚みとダミーランドを有しないスルーホールとすることは相互に影響し合っていると推察できる。

[0121] B. 第2実施例

図18-図25を参照して本発明の第2実施例-1に係る多層プリント配線板について

て説明する。

先ず、第2実施例-1に係る多層プリント配線板10の構成について、図22、図23を参照して説明する。図22は、該多層プリント配線板10の断面図を、図23は、図22に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図22に示すように、多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表裏には、信号回路34S、電源回路34P、アース回路34Eが形成されている。更に、多層コア基板30の内部の表面側に、内層のアース回路16E及び信号回路16S1、裏面に電源回路16P及び信号回路16S2が形成されている。上側のアース回路16Eは、アース用のプレーン層として形成され、下側の電源回路16Pは、電源用のプレーン層として形成されている。プレーン層は、片側だけの単層であっても、2層以上に配置したものでもよい。2層〜4層で形成されることが望ましい。4層を越えるとコアの厚みが厚くなるため、電気的な特性の向上が確認されていないことからそれ以上多層にしてもその効果は4層と同等程度である。逆に悪化する場合もある。特に、2層で形成されることが、スルーホール長が短くなる点と多層コア基板の剛性整合という点において基板の伸び率が揃えられるので反りが出にくいからである。多層コア基板30の中央に、電気的に隔絶された金属板を収容してもよい。該金属板は、心材としての役目も果たしているが、スルーホールやバイアホールなどどの電気な接続がされていない。主として、基板の反りに対する剛性を向上させているのである。多層コア基板30は、ICの信号回路、アース回路、電源回路と電気的に接続している信号用スルーホール(図示せず)、アース用スルーホール36E、電源用スルーホール36Pを介して内層及び表面側と裏面側との接続が取られている。

- [0122] 多層コア基板30の表面の電源回路34P、アース回路34E、信号回路34Sの上には、バイアホール60及び導体回路58の形成された層間絶縁層50と、バイアホール160及び導体回路158の形成された層間絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層には溶剤レジスト層70が形成されており、該溶剤レジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

[0123] 図23中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側の外部端子76Dは、ドータボード94のランド96へ接続されている。この場合における外部端子とは、PGA、BGA、半田バンプ等を指している。

[0124] 図25(A)は、図22中のX3-X3横断面、即ち、内層のアース用プレーン層16Eの平面を示し、図25(B)は、X2-X2横断面、即ち、内層の電源用プレーン層16Pの平面を示している。ここで、図22と、図25(A)、(B)とは、配置が一致していないのは、図22が多層プリント配線板の縦構造を模式的に示しているためである。

図25(A)に示すように多層プリント配線板30では、電源用のスルーホール36Pが、多層コアにおける内層のアース用プレーン層16Eを貫通する際、アース用プレーン層16E内において、電源用スルーホール36Pは、そのスルーホールから延出しているランド等の導体回路を有していない。電源用スルーホール36Pは、アース用プレーン層16Eに設けられた抜き35に配置される。図25(B)に示すように該アース用スルーホール36Eは、電源用プレーン層16Pを貫通するアース用スルーホール36Eも同様で、アース用スルーホール36Eが内層の電源用プレーン層16Pを貫通する際、電源用プレーン層16P内において、アース用スルーホール36Eは、抜き35内に配置され、そのスルーホールから延出しているランド等の導体回路を有していない。このようなコア構造とすることにより、電源用スルーホールとアース用スルーホール間、コアの水平方向における電源用スルーホールとアース用プレーン層間、および、コアの水平方向におけるアース用スルーホールと電源用プレーン層間の間の間隔を狭くすることが可能となり、相互インダクタンスを減少させることが可能となる。また、スルーホールがダミーランドを有しないため、電源用プレーン層及びアース用プレーン層の導体面積を多くすることが可能となる。それにより、図28、図29を参照して上述した1回目と2回目の電圧降下を減少させることが可能となるため、電源不足が起き難くなり、より高周波領域のICチップを実装したとしても初期起動における誤動作やエラーなどを引き起こさない。

[0125] 図25では、多層コア基板のスルーホールが、電源用スルーホール36Pとアース用スルーホール36Eとを交互に配置する構造になっている。このような交互配置にする

ことで、相互インダクタンスが減少し、1回目と2回目の電圧降下を減少することができるからである。

- [0126] 但し、必ずしも全て交互に配置する必要はなく、図31(A)、図31(B)に示すように一部電源用スルーホール、アース用スルーホール同士が隣合ってもよい。図31(A)に示すように電源用スルーホール36P、36Pが隣り合った場合は、アース用プレーン層16E内で両者を電源回路16P1で接続してもよいし、両者を接続せず、抜き35中にスルーホール36Pを形成してもよい。図31(B)に示すようにアース用スルーホール36E同士が隣り合った場合も同様である。抜き35に形成した方がプレーン層の導体体積が増すので好ましい。
- [0127] 信号用スルーホールは、電源用プレーン層16P及びアース用プレーン層16Eと接続しないので、電源用プレーン層16P及びアース用プレーン層16E内に、そのスルーホールから延出する導体回路を設ける必要はないが、回路形成を行うスペースがあれば、いずれのプレーン層においても回路形成を行ってもよい。信号回路をコアで配置しておくと、ビルドアップ層で配線を行うときにファイン化のためには有利になる。
- [0128] 更に、多層コア基板30の導体厚みは、内層の導体厚みが表層の導体厚み以上であることが望ましい。多層コア基板30表層の電源回路34P、アース回路34E、信号回路34Sは、厚さ10〜60 μm に形成され、内層の電源回路16P、アース回路16E、信号回路16S1、16S2は、厚さ10〜250 μm に形成され、層間絶縁層50上の導体回路58及び層間絶縁層150上の導体回路158は5〜25 μm に形成されている。多層コア基板の内層の導体回路の厚みは、多層コア基板の表裏の導体回路の厚みの2倍以上がより望ましい。
- [0129] 第2実施例-1の多層プリント配線板では、多層コア基板30の電源層(導体層)34P、アース回路34E、信号回路34S、内層の電源回路16P、アース回路16Eを厚くすることにより、多層コア基板の強度が増す。それにより多層コア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。
- [0130] また、信号回路34S、電源回路34P、アース回路34E、電源回路16P、アース回路16Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗を低減することができる。

[0131] 更に、電源回路34P、16Pを電源層として用いることで、ICチップ90への電源の供給能力が向上させることができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップー基板ー電源までのインダクタンスを低減することができる。そのために、初期動作における3回目の電圧降下が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、アース回路34E、16Eをアース層として用いることで、ICチップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。コンデンサを実装することにより、コンデンサ内の蓄積されている電源を補助的に用いることができるので、電源不足を起しにくくなる。特に、ICチップの直下に配設させることにより、その効果(電源不足を起しにくくする)は顕著によくなる。その理由として、ICチップの直下であれば、多層プリント配線板での配線長を短くすることができるからである。

[0132] 第2実施例ー1では、多層コア基板30は、内層に厚い電源回路16P、アース回路16Eを、表面に薄い電源回路34P、アース回路34Eを有し、内層の電源回路16P、アース回路16Eと表面の電源回路34P、アース回路34Eとを電源層用の導体層、アース用の導体層として用いる。即ち、内層側に厚い電源回路16P、アース回路16Eを配置しても、導体回路を覆う絶縁層が形成されている。そのために、導体回路が起因となって凹凸を相殺させることで多層コア基板30の表面を平坦にすることができる。このため、層間絶縁層50、150の導体回路58、158にうねりを生じせしめないように、多層コア基板30の表面に薄い電源回路34P、アース回路34Eを配置しても、内層の電源回路16P、アース回路16Eと足した厚みでコアの導体層として十分な厚みを確保することができる。うねりが生じないために、層間絶縁層上の導体層のインピーダンスに不具合が起きない。電源回路16P、34Pを電源層用の導体層として、アース回路16E、34Eをアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。また、図34に示すように電位が逆のスルーホールと内層導体層の対向面積(対向距離)が増大するので、さらに電気特性を改善できる。

[0133] 更に、多層コア基板の内層の電源回路16P、アース回路16Eの厚みを、層間絶縁

層50、150上の導体回路58、158よりも厚くする。これにより、多層コア基板30の表面に薄いアース回路34E、電源回路34Pを配置しても、内層の厚い電源回路16P、アース回路16Eと足すことで、コアの導体層として十分な厚みを確保できる。その比率は、 $1 < (\text{コアの内層の導体回路の厚み} / \text{層間絶縁層の導体回路の厚み}) \leq 40$ であることが望ましい。1. $2 \leq (\text{コアの内層の導体回路の厚み} / \text{層間絶縁層の導体回路の厚み}) \leq 30$ であることがさらに望ましい。

[0134] また、多層コア基板内で電源回路34Pと電源回路16Pとの間の信号線16S1を配置することでマイクロストリップ構造を形成させることができる。同様に、アース回路16Eとアース回路34Eとの間の信号線(図示せず、電源回路16Pと同層)を配置することでマイクロストリップ構造を形成させることができる。マイクロストリップ構造を形成させることにより、インダクタンスも低下し、インピーダンス整合を取ることができるのである。そのために、電気特性も安定化することができる。

[0135] 図24は、第2実施例-1の改変例を示している。この改変例では、ICチップ90の直下にコンデンサ98を配置してある。このため、ICチップ90とコンデンサ98との距離が近く、ICチップ90へ供給する電源の電圧降下を防ぐことができる。

[0136] 引き続き、図22に示す多層プリント配線板10の製造方法について図18-図23を参照して説明する。

[0137] C. 多層プリント配線板の製造

多層コア基板の作成

(1) 厚さ0.6mmのガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなる絶縁性基板14の両面に10-250 μm の銅箔16がラミネートされている銅張積層板10を出発材料とした(図18(A))。第2実施例-1では、30 μm の銅箔を使用した。

[0138] (2) 続いて、サブトラクティブ法で銅箔16に、IC直下は、表面側を示す図19(A)に表すように抜き35内にダミーランドを有しない導体回路16E、裏面側を示す図19(B)に表すように抜き35にダミーランドを有しない導体回路16Pを形成した。参考として図38に従来例を示す。従来例ではすべての抜き35にダミーランド16Dとなる回路16DDがあつて、該回路16DD内にスルーホール用通孔36を形成する。スルーホー

ルを形成する位置には抜き(開口)35を形成してある。通常、ダミーランド16Dとなる回路16DDは、スルーホール径に対して+150〜250 μ m径で形成するので、ダミーランドを有しない導体回路とすることで、ダミーランドを有する通常の構造に対して、スルーホール間及び電源用スルーホールとアース用導体層間(図34中のX)、アース用スルーホールと電源用導体層間の間隔を狭くできる。このようにダミーランドを設けないことで、相互インダクタンスを減少させたり導体抵抗を低くすることが可能になる。また、電源層、アース層を形成できる領域が増す。

- [0139] (3) その後、その基板をNaOH(10g/l)、NaClO₂(40g/l)、Na₃PO₄(6g/l)を含む水溶液を黒化浴(酸化浴)とする黒化处理、および、NaOH(10g/l)、NaBH₄(6g/l)を含む水溶液を還元浴とする還元処理を行い、下層導体回路16E、16S1、16P、16S2の表面に粗化面16 α を形成する(図18(C))。
- [0140] (4) 上記基板の両面に200 μ m厚のプリプレグ18と18 μ m厚の銅箔20の順で積層し、その後、加熱、加圧プレスして4層の多層コア基板30を作成した(図18(D))。プリプレグの厚みは銅箔16の厚みに合わせて変更する。
- [0141] (5) この多層コア基板30をドリル削孔し、スルーホール用通孔36を穿設する(図20(A))。その後、無電解めっき、電解めっきを施し、パターン状にエッチングすることにより、多層コア基板の表裏面に導体回路34S、34P、34Eと250 μ m径の信号用スルーホール36S(図示せず)、電源用スルーホール36P、アース用スルーホール36Eを形成した(図20(B))。
- [0142] (6) 多層コア基板の表裏面に導体回路34S、34P、34Eとスルーホール36S、36P、36Eを形成した基板をNaOH(10g/l)、NaClO₂(40g/l)、Na₃PO₄(6g/l)を含む水溶液を黒化浴(酸化浴)とする黒化处理、および、NaOH(10g/l)、NaBH₄(6g/l)を含む水溶液を還元浴とする還元処理を行い、上層導体回路とスルーホールの表面に粗化面34 β を形成する(図20(C))。
- [0143] (7) ついで、前述した第1実施例-1と同様に作成したスルーホール充填用樹脂組成物40を導体回路34S、34P、34E間とスルーホール36S、36P、36E内に、スキージを用いて充填した後、100℃、20分の条件で乾燥を行った(図21(A))。その基板30表面を、導体回路表面およびスルーホールのランド表面が露出するまで研磨し

て平坦化し、100℃で1時間、150℃で1時間の加熱を行うことにより、スルーホール充填用樹脂組成物40を硬化させた樹脂充填材層を形成し、スルーホール36S(図示せず)、36P、36Eとした(図21(B))。

- [0144] 多層コア基板の表裏面の銅厚は7.5〜70 μm で形成した。このように、多層コア基板表裏面の銅厚は、内層の銅厚に比べて薄くするのが好適である。第2実施例-1では25 μm とした。

これにより、表裏層は、内層に比べて微細な回路を形成することが可能になり、スルーホールランドの小径化及び導体回路間やスルーホールランドと導体回路間の隙間を小さくできる。従って、表裏層のスルーホールランドや導体回路はスルーホールピッチを狭くする邪魔にはならない。

- [0145] (8) 上記基板を水洗、酸性脱脂した後、ソフトエッチングし、次いで、エッチング液を基板の両面にスプレーで吹きつけて、信号回路34S、電源回路34P、アース回路34Eの表面とスルーホール36のランド表面をエッチングすることにより、導体回路の全表面に粗化面36 β を形成した(図21(C))。エッチング液としては、イミダゾール銅(II)錯体10重量部、グリコール酸7.3重量部、塩化カリウム5重量部からなるエッチング液(メック社製、メックエッチボンド)を使用した。

以降の工程は、図5〜図7を参照して上述した第1実施例-1と同様であるため説明を省略する。但し、導体回路58、158の厚みはめっき時間を調整して15 μm とした。

- [0146] [第2実施例-2]

第2実施例-1は、スルーホールから延出する導体回路を有しないスルーホールが存在する領域をIC直下としたが、第2実施例-2では、以下の様に変更した。それ以外の部分は第2実施例-1と同様である。

図26(A)は、4層コアの内層の代表的なアース層の横断面を、(B)は、4層コアの内層の代表的な電源層の横断面を示している。

第2実施例-2の多層コアも4層コアであって、電源用スルーホール36Pが、アース層16Eを貫通する際、該スルーホールから延出する導体回路16Dを有しない電源用スルーホールが、ICの電源回路に接続している全スルーホールに対して50%であり、かつ、アース用スルーホール36Eが、電源層16Pを貫通する際、該スルーホールが

ら延出する導体回路を有しないアース用スルーホールが、ICのアース回路に接続している全スルーホールに対して50%である。ダミーランドを有しないスルーホール数の調整は、図18(B)を参照して上述した(2)の工程において、銅箔16に回路形成する際に露光フィルムのパターンを変更することで可能である。

[0147] [第2実施例-3]

第2実施例-3は、第2実施例-2において、スルーホールから延出する導体回路を有しないスルーホールを70%とした以外は、第2実施例-2と同様である。

[0148] [第2実施例-4]

第2実施例-4は、第2実施例-2において、スルーホールから延出する導体回路を有しないスルーホールを80%とした以外は、第2実施例-2と同様である。

[0149] [第2実施例-5]

第2実施例-5は、第2実施例-2において、スルーホールから延出する導体回路を有しないスルーホールを90%とした以外は、第2実施例-2と同様である。

[0150] [第2実施例-6]

第2実施例-6は、第2実施例-1において、内層の電源層とアース層の導体厚の厚みを $45\mu\text{m}$ に変更した。それ以外は、第2実施例-1と同様である。

[0151] [第2実施例-7]

第2実施例-7は、第2実施例-1において、内層の電源層とアース層の導体厚の厚みを $60\mu\text{m}$ に変更した。それ以外は、第2実施例-1と同様である。

[0152] [第2実施例-8]

第2実施例-8は、第2実施例-1において、内層の電源層とアース層の導体厚の厚みを $75\mu\text{m}$ に変更した。それ以外は、第2実施例-1と同様である。

[0153] [第2実施例-9]

第2実施例-9は、第2実施例-3において、内層の電源層とアース層の導体厚の厚みを $75\mu\text{m}$ に変更した。それ以外は、第2実施例-3と同様である。

[0154] [第2実施例-10]

図27を参照して本発明の第2実施例-10に係る多層プリント配線板について説明する。

図22を参照して上述した第2実施例-1の多層プリント配線板では、内層に2層のアース回路16E、16Pが配置された多層コア基板30を使用した。これに対して、第2実施例-10では、4層の内層アース回路16E、116E、16P、116PPが設けられた多層コア基板20を用いている。アース回路と電源回路が交互に配置してある。

[0155] 「第2実施例-11〜19」

第2実施例-1〜9において、出発材料の厚みとコア基板表裏の導体層の厚みを変更した。具体的には、図18(A)の銅張積層板10の厚みを0.2mmとし、図20(B)のコア基板表裏の導体層(34S、34P、34E)の厚みを10 μ mとした。それ以降の工程は第2実施例-1に準じた。

[0156] 「第2実施例-20」

第2実施例-20は、第2実施例-16において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して30%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して30%とした。

[0157] 「第2実施例-21」

第2実施例-21は、第2実施例-20において、多層コア基板の内層の電源層とアース層の導体厚の厚みを60 μ mとした。

[0158] 「第2実施例-22」

第2実施例-22は、第2実施例-20において、多層コア基板の内層の電源層とアース層の導体厚の厚みを75 μ mとした。

[0159] 「第2実施例-23」

第2実施例-23は、第2実施例-20において、多層コア基板の内層の電源層とアース層の導体厚の厚みを150 μ mとした。図18(D)におけるプリプレグの厚みを275 μ mとした。

[0160] 「第2実施例-24」

第2実施例-24は、第2実施例-20において、多層コア基板の内層の電源層とアース層の導体厚の厚みを300 μ mとした。図18(D)におけるプリプレグの厚みを450 μ mとした。

[0161] 〔第2実施例-25〕

第2実施例-25は、第2実施例-20において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して50%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して50%とした。

[0162] 〔第2実施例-26〕

第2実施例-26は、第2実施例-21において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して50%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して50%とした。

[0163] 〔第2実施例-27〕

第2実施例-27は、第2実施例-22において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して50%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して50%とした。

[0164] 〔第2実施例-28〕

第2実施例-28は、第2実施例-23において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して50%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して50%とした。

[0165] 〔第2実施例-29〕

第2実施例-29は、第2実施例-24において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して50%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して50%とした。

[0166] 〔第2実施例-30〕

第2実施例-30は、第2実施例-20において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して70%とするとともに、IC直

下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して70%とした。

[0167] [第2実施例-31]

第2実施例-31は、第2実施例-21において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して70%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して70%とした。

[0168] [第2実施例-32]

第2実施例-32は、第2実施例-22において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して70%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して70%とした。

[0169] [第2実施例-33]

第2実施例-33は、第2実施例-23において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して70%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して70%とした。

[0170] [第2実施例-34]

第2実施例-34は、第2実施例-24において、IC直下のダミーランドを有しない電源用スルーホール数を全電源用スルーホール数に対して70%とするとともに、IC直下のダミーランドを有しないアース用スルーホール数を全アース用スルーホール数に対して70%とした。

[0171] [第2実施例-35]

第2実施例-35は、第2実施例-12において、多層コア基板の内層の電源層とアース層の導体厚の厚みを60 μ mとした。

[0172] [第2実施例-36]

第2実施例-36は、第2実施例-25において、多層コア基板の内層の電源層とアース層の導体厚の厚みを30 μ mとした。

[0173] 第2実施例-2〜5、12〜15、19、35におけるIC直下のダミーランドを有しないスルーホール数は、図30及び図33中に示した%から10〜15%引いた数字である。

[0174] (第2比較例-1)

第2実施例-1と同じ厚みの内層の導体層及び表層の導体層となるように多層コア基板を形成した。但し、図36、図38を参照して上述した関連技術と同様にダミーランド16を全てのスルーホールに配置した。

[0175] (第2比較例-2)

第2比較例-1において、多層コア基板の導体厚を15 μ mにした以外は第2比較例-1と同様である。

[0176] (第2比較例-3)

第2比較例-1において、出発材料の厚みを変更した。具体的には、図18(A)の銅張積層板10の厚みを0.2mmとした。また、図18(A)において、銅箔16の厚みを5 μ mとした。

[0177] 第2実施例-1〜9と第2比較例-1、2の基板に周波数3.1GHzのICチップを実装して、同じ量の電源を供給して、起動させたときの電圧の降下した量を測定した。なお、ICチップの電圧は直接測定できないので、プリント配線板にICの電圧を測定できる回路を形成してある。このときの電圧降下量の値を示した。電源電圧1.0Vのときの変動した電圧降下量の値である。

また、第2実施例-1〜9と第2比較例-1、2の初期動作を確認した。この結果を図33中の図表に表す。

さらに、ダミーランドを有しないスルーホール数についても検証を行った。以下にそれらの結果を示す。横軸にダミーランドを有しないスルーホール数、縦軸に電圧降下量の値とした(V)結果を図32(A)、(B)に示した。

[0178] 第2実施例-1と第2比較例-1の比較から、IC直下のスルーホールを、スルーホールから延出する導体回路を有しないスルーホールにすることで、1回目および2回目の電圧降下が改善され、ICの誤動作が生じなくなったことがわかる。

第2実施例-2〜5及び第2比較例-1の結果から、電源用、アース用スルーホールを、ダミーランドを有しないスルーホールとし、その数を多くしていくと、1回目および2

回目の電圧降下が改善されていることがわかる(図32(A)、(B)、図33参照)。

第2実施例-1、6、7、8の比較から、多層コアの内層の導体厚を厚くすることで、1回目及び2回目の電圧降下が、さらに改善されていることがわかる(図40参照)。そして、内層の導体厚がビルドアップ層の導体厚の3倍以上になると、その改善効果は薄れてくる。

第2実施例-2〜5及び第2比較例-1から、スルーホールから延出する導体回路を有しないスルーホールの数を増やすことで、1回目と2回目の電圧降下が改善されていることがわかる。そして、70%以上となるとICの誤動作が発生しなくなる。そして、スルーホールから延出する導体回路を有しないスルーホールの数を70%以上とすると、その改善効果は薄れてくる。

第2比較例-1および第2比較例-2から、導体厚を厚くすることで、3回目の電圧降下が改善されていることがわかる。

[0179] 上記試験結果から本願発明の構成により、ICチップの初期起動時に発生する電源不足(電圧降下)の度合いを小さくなることもわかり、高周波領域のICチップ、特に3 GHz以上のICチップを実装したとしても、問題なく起動することができることが分かった。そのため、電気的な特性や電気接続性をも向上させることができるのである。

さらに、プリント基板の回路内での抵抗を従来のプリント基板に比べても、小さくすることができる。そのために、バイアスを付加して、高温高湿下で行う信頼性試験(高温高湿バイアス試験)を行っても、破壊する時間も長くなるので、信頼性も向上することができる。

[0180] 次に、第2実施例-11〜36、第2比較例-3にしたがって製造した多層プリント配線板について、以下に説明するような方法によって、ICチップの電圧降下量を測定した。

下記のNo.3のICチップを実装した各多層プリント配線板において、同時スイッチングを行い、その際のICチップの電圧降下量を測定した。なお、ICチップの電圧は直接測定できないので、プリント配線板にICの電圧を測定できる回路を形成してある。電源電圧1.0Vのときの変動した電圧降下量の値である。

また、第2実施例-11〜36、第2比較例-3にしたがって製造した多層プリント配線

板について、以下に説明するような方法によって、搭載したICチップに誤動作があるかどうかを確認した。

ICチップとしては、以下のNo.1〜3から選ばれるいずれか1のICチップを各多層プリント配線板に実装し、同時スイッチングを100回行って誤動作の有無を評価した。

それらの結果を図30に示す。

No.1:駆動周波数:3.06GHz、バスクロック(FSB):533MHz

No.2:駆動周波数:3.2GHz、バスクロック(FSB):800MHz

No.3:駆動周波数:3.46GHz、バスクロック(FSB):1066MHz

[0181] No.1のICチップを実装した結果より、スルーホールの一部がダミーランドを有しないスルーホールであれば、ICチップの誤動作や電圧降下を抑制できることが分かる。これは、明細書内で説明した第2発明の効果2〜4によるものと推察している。

No.2のICチップを実装した第2実施例−12と第2実施例−36の比較から、ダミーランドを有しないスルーホールを形成する領域はIC直下の好ましい事がわかる。

また、No.3のICチップを実装した第2実施例−20〜24と第2実施例−25〜29の比較から、内層の導体厚みとダミーランドを有しないスルーホール数には相互作用があることが分る。内層の導体厚みが薄い場合は、ダミーランドを有しないスルーホールを多くする必要がある、内層の導体厚みが厚い場合は、少なくともよい。これは、図34を用いて説明した効果によるものと推察している。

尚、内層のグランド層の導体厚みは、内層の電源層の導体厚みと同じであり、コア基板の裏面のグランド層の導体厚みは、表面の電源層の導体厚みと同じである。このため、グランド層の導体厚みの和も電源層と同様厚いため、ノイズを低減できるので誤動作が発生しにくい。

[0182] また、No.2のICチップを実装した第2実施例−12と第2実施例−36を比較すると、多層コアの導体層の厚みやダミーランドを有しないスルーホール数が同一であっても、ダミーランドを有しないスルーホールを設ける領域により、電圧降下量や誤動作が異なることがわかる。これは、IC直下のスルーホールはICまでの接続配線長が短い、IC直下にダミーランドを有しないスルーホールを設けることで、より本願の特徴が効果的になっているものと推察している

図面の簡単な説明

- [0183] [図1]本発明の第1実施例-1の多層プリント配線板を製造方法を示す工程図である。
- 。
- [図2]第1実施例-1の多層プリント配線板を製造方法を示す工程図である。
- [図3]第1実施例-1の多層プリント配線板を製造方法を示す工程図である。
- [図4]第1実施例-1の多層プリント配線板を製造方法を示す工程図である。
- [図5]第1実施例-1の多層プリント配線板を製造方法を示す工程図である。
- [図6]第1実施例-1の多層プリント配線板を製造方法を示す工程図である。
- [図7]第1実施例-1の多層プリント配線板を製造方法を示す工程図である。
- [図8]第1実施例-1に係る多層プリント配線板の断面図である。
- [図9]第1実施例-1に係る多層プリント配線板にICチップを載置した状態を示す断面図である。
- [図10]ICチップの動作中における電圧変化を示したグラフである。
- [図11]ICチップの動作中における電圧変化を示したグラフである。
- [図12]ICチップの動作中における電圧変化を示したグラフである。
- [図13]第1実施例と第1比較例との試験結果を示す図表である。
- [図14]第1実施例の最小線間、線幅形成能力評価パターンの評価結果を示す図表である。
- [図15]第1実施例と第1比較例との試験結果を示す図表である。
- [図16]第1実施例の試験結果を示す図表である。
- [図17] $\alpha 1 / \alpha 2$ に対する電圧降下量のグラフである。
- [図18]本発明の第2実施例-1の多層プリント配線板を製造方法を示す工程図である。
- 。
- [図19]第2実施例-1の多層プリント配線板を製造方法を示す工程図である。
- [図20]第2実施例-1の多層プリント配線板を製造方法を示す工程図である。
- [図21]第2実施例-1の多層プリント配線板を製造方法を示す工程図である。
- [図22]第2実施例-1に係る多層プリント配線板の断面図である。
- [図23]第2実施例-1に係る多層プリント配線板にICチップを載置した状態を示す断

面図である。

[図24]第2実施例-1の変形例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

[図25]図25(A)は、図22中の内層の電源用プレーン層16Pの平面図であり、図25(B)は、内層のアース用プレーン層16Eの平面図である。

[図26]図26(A)は、図22中の内層の電源用プレーン層16Pの平面図であり、図26(B)は、内層のアース用プレーン層16Eの平面図である。

[図27]第2実施例-10に係る多層プリント配線板の断面図である。

[図28]ICチップの動作中における電圧変化を示したグラフである。

[図29]ICチップの動作中における電圧変化を示したグラフである。

[図30]第2実施例と第2比較例との試験結果を示す図表である。

[図31]図31(A)は、図22中の内層の別例の電源用プレーン層16Pの平面図であり、図25(B)は、内層のアース用プレーン層16Eの平面図である。

[図32]ダミーランドを有しないスルーホール数について、横軸にダミーランドを有しないスルーホール数、縦軸に電圧降下量の値(V)を示すグラフである。

[図33]内層の導体厚と1回目〜3回目の電圧降下の関係を示す図表である。

[図34]スルーホールと導体層との関係を示す説明図である。

[図35]本願発明の関連技術に係る多層プリント配線板の断面図である。

[図36]図35の多層プリント配線板のX4-X4横断面図であり、図36(B)はX5-X5断面図である。

[図37]図37(A)は、内層の電源用プレーン層16Pの平面図であり、図37(B)は、内層のアース用プレーン層16Eの平面図である。

[図38]従来技術の多層プリント配線板の横断面図である。

[図39]多層コアを貫通する信号用スルーホールの模式図である。

[図40]第1回目と第2回目の電圧降下量を示すグラフである。

符号の説明

[0184] 12 金属層(金属板)

14 樹脂層

- 16 導体回路
- 16P 導体層
- 16E 導体層
- 18 樹脂層
- 30 基板
- 32 銅箔
- 34 導体回路
- 34P 導体層
- 34E 導体層
- 36 スルーホール
- 40 樹脂充填層
- 50 層間樹脂絶縁層
- 58 導体回路
- 60 バイアホール
- 70 ソルダレジスト層
- 71 開口
- 76U、76D 半田バンプ
- 90 ICチップ
- 94 ドータボード
- 98 チップコンデンサ

請求の範囲

- [1] 表裏の導体層と少なくとも1層以上の内層の導体層からなる多層コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して電気的な接続の行われる多層プリント配線板において、

前記多層コア基板の電源用の導体層の厚みの和、もしくは、アース用の導体層の厚みの和のうち、少なくとも一方は、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板。

- [2] 前記多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 1$ と $\alpha 2$ は、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項1に記載の多層プリント配線板。

- [3] 前記多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 3$ と $\alpha 2$ は、 $\alpha 2 < \alpha 3 \leq 40 \alpha 2$ であることを特徴とする請求項1に記載の多層プリント配線板。

- [4] 前記多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 1$ と $\alpha 2$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項1に記載の多層プリント配線板。

- [5] 前記多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 3$ と $\alpha 2$ は、 $1.2 \alpha 2 \leq \alpha 3 \leq 40 \alpha 2$ であることを特徴とする請求項1に記載の多層プリント配線板。

- [6] 前記多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 1$ と $\alpha 2$ は、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であり、

前記多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ とした時、 $\alpha 3$ と前記 $\alpha 2$ は、 $\alpha 2 < \alpha 3 \leq 40 \alpha 2$ であることを特徴とする請求項1に記載の多層プリント配線板。

- [7] 前記多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 1$ と $\alpha 2$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であり、

前記多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ とした時、 $\alpha 3$ と前記 $\alpha 2$ は、 $1.2 \alpha 2 \leq \alpha 3 \leq 40 \alpha 2$ であることを特徴とする請求項1に記載の多層プリント配

線板。

- [8] 前記多層コア基板の表裏の導体層の厚みは、内層の導体層の厚みよりも薄いことを特徴とする請求項1〜請求項7のいずれか1にに記載の多層プリント配線板。

- [9] 表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれる多層プリント配線板において、

前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電気的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、

前記電源用スルーホールが、多層コア基板の内層のアース用導体層を貫通する際、多数の電源用スルーホールの内、少なくともIC直下の電源用スルーホールは、アース用導体層において、電源用スルーホールから延出する導体回路を有しないことを特徴とする多層プリント配線板。

- [10] 表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれる多層プリント配線板において、

前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電気的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、

前記アース用スルーホールが、多層コア基板の内層の電源用導体層を貫通する際、多数のアース用スルーホールの内、少なくともIC直下のアース用スルーホールは、電源用導体層において、アース用スルーホールから延出する導体回路を有しないことを特徴とする多層プリント配線板。

- [11] 表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する4層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれる多層プリント配線板において、

請求項9に記載の電源用スルーホールおよび請求項10に記載のアース用スルーホールを共に有することを特徴とする多層プリント配線板。

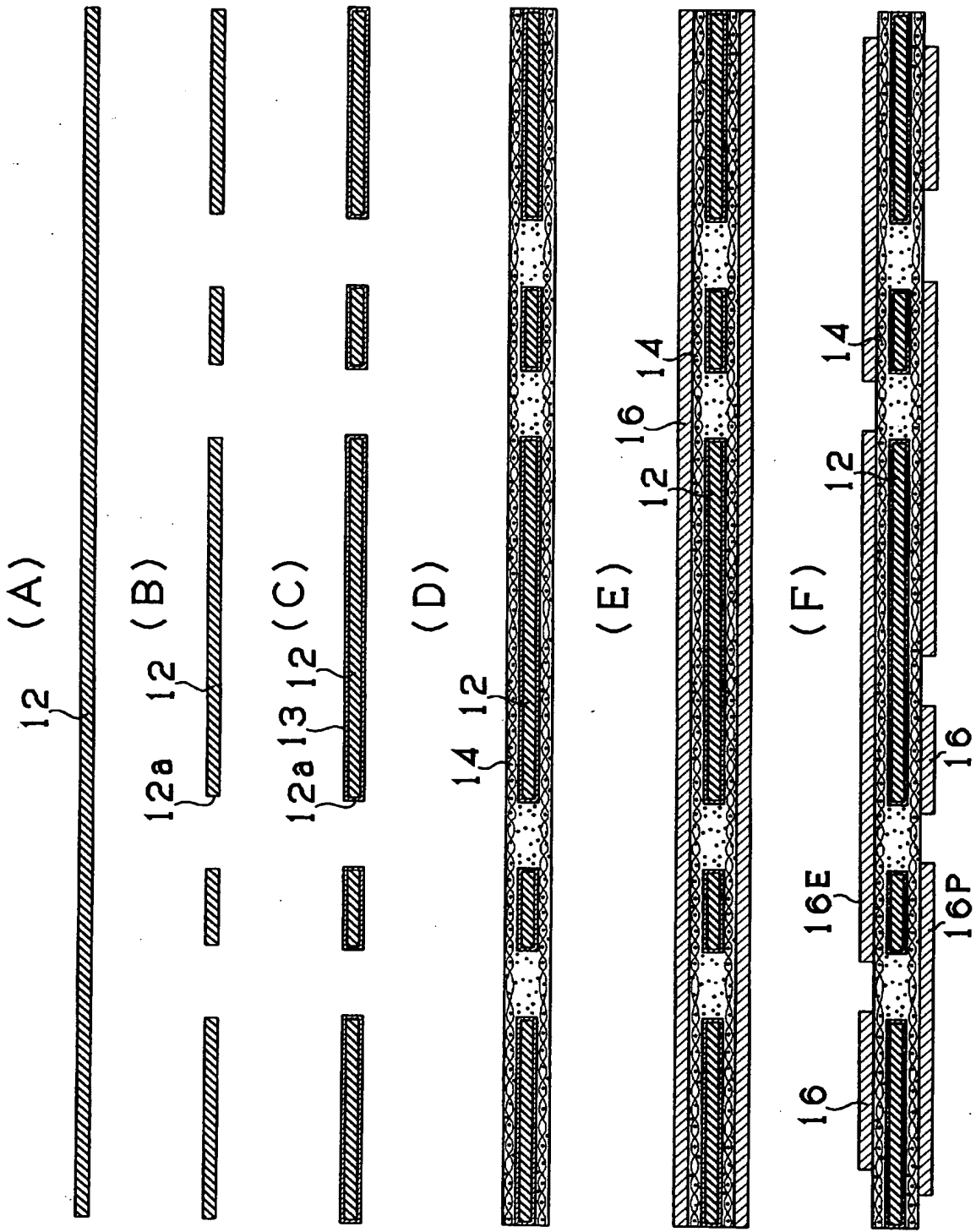
- [12] 表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてビアホールを介して電氣的な接続の行なわれる多層プリント配線板において、
前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電氣的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、
前記電源用スルーホールが、多層コア基板の内層のアース用導体層を貫通する際、多数の電源用スルーホールの内、70%以上の電源用スルーホールは、アース用導体層において、電源用スルーホールから延出する導体回路を有しないことを特徴とする多層プリント配線板。
- [13] 表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてビアホールを介して電氣的な接続の行なわれる多層プリント配線板において、
前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電氣的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、
前記アース用スルーホールが、多層コア基板の内層の電源用導体層を貫通する際、多数のアース用スルーホールの内、70%以上のアース用スルーホールは、電源用導体層において、アース用スルーホールから延出する導体回路を有しないことを特徴とする多層プリント配線板。
- [14] 表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する4層以上の多層コア基板上に、層間絶縁層と導体層が形成されてビアホールを介して電氣的な接続の行なわれる多層プリント配線板において、
請求項12に記載の電源用スルーホールおよび請求項13に記載のアース用スルーホールを共に有することを特徴とする多層プリント配線板。
- [15] 前記多層コア基板の電源用の導体層の厚みの和 $\alpha 1$ が、層間絶縁層上の導体層の厚み $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項9～請求項14のいずれか1に記載の多層プリント配線板。

- [16] 前記 $\alpha 1$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項15に記載の多層プリント配線板。
- [17] 前記多層コア基板の表面及び裏面の導体層は、電源層用の導体層又はアース用の導体層である請求項9〜請求項16のいずれかに記載の多層プリント配線板。
- [18] 前記多層コア基板は、内層に厚みの厚い導体層、表面及び裏面に厚みの薄い導体層を備えることを特徴とする請求項9〜請求項16のいずれか1に記載の多層プリント配線板。
- [19] 前記多層コア基板の内層の導体層は、2層以上であることを特徴とする請求項9〜請求項16のいずれか1に記載の多層プリント配線板。
- [20] コンデンサが表面に実装されていることを特徴とする請求項9〜請求項16のいずれか1に記載の多層プリント配線板。
- [21] 表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれる多層プリント配線板において、
前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電気的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、
前記電源用スルーホールが、多層コア基板の内層のアース用導体層を貫通する際、多数の電源用スルーホールの内、IC直下の一部の電源用スルーホールは、アース用導体層において、電源用スルーホールから延出する導体回路を有しないことを特徴とする多層プリント配線板。
- [22] 表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれる多層プリント配線板において、
前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電気的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、
前記アース用スルーホールが、多層コア基板の内層の電源用導体層を貫通する際

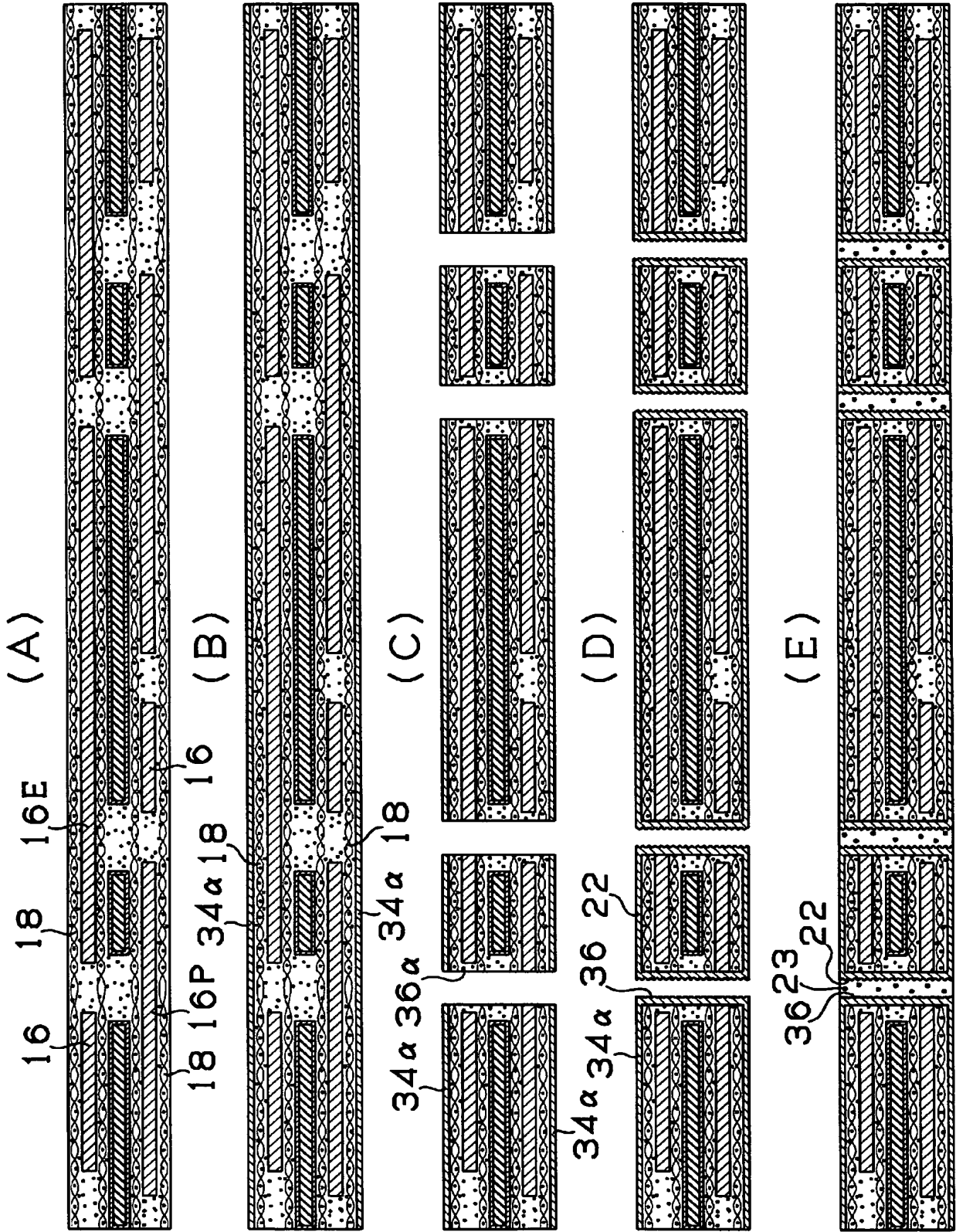
、多数のアース用スルーホールの内、IC直下の一部のアース用スルーホールは、電源用導体層において、アース用スルーホールから延出する導体回路を有しないことを特徴とする多層プリント配線板。

- [23] 表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する4層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電氣的な接続の行なわれる多層プリント配線板において、請求項21に記載の電源用スルーホールおよび請求項22に記載のアース用スルーホールを共に有することを特徴とする多層プリント配線板。
- [24] 請求項11において、IC直下のスルーホールが格子状または千鳥状に配置されていることを特徴とする多層プリント配線板。
- [25] 請求項24において、IC直下の電源用スルーホールとアース用スルーホールとが交互に配置されていることを特徴とする多層プリント配線板。
- [26] 請求項14において、アース用導体層において電源用スルーホールから延出する導体回路を有しない電源用スルーホールと電源用導体層においてアース用スルーホールから延出する導体回路を有しないアース用スルーホールが、IC直下部分では格子状または千鳥状に配置されていることを特徴とする多層プリント配線板。
- [27] 請求項26において、アース用導体層において電源用スルーホールから延出する導体回路を有しない電源用スルーホールと電源用導体層においてアース用スルーホールから延出する導体回路を有しないアース用スルーホールとが交互に配置されていることを特徴とする多層プリント配線板。
- [28] 請求項23において、アース用導体層において電源用スルーホールから延出する導体回路を有しない電源用スルーホールと電源用導体層においてアース用スルーホールから延出する導体回路を有しないアース用スルーホールが、IC直下部分では格子状または千鳥状に配置されていることを特徴とする多層プリント配線板。
- [29] 請求項28において、アース用導体層において電源用スルーホールから延出する導体回路を有しない電源用スルーホールと電源用導体層においてアース用スルーホールから延出する導体回路を有しないアース用スルーホールとが交互に配置されていることを特徴とする多層プリント配線板。

[図1]



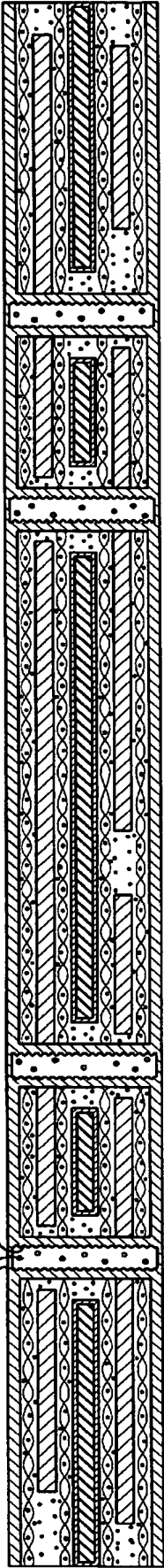
[図2]



[図3]

(A)

25 23 36

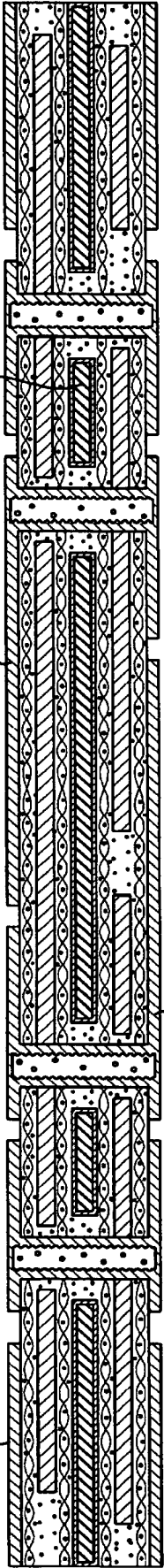


(B)

30

34P

34



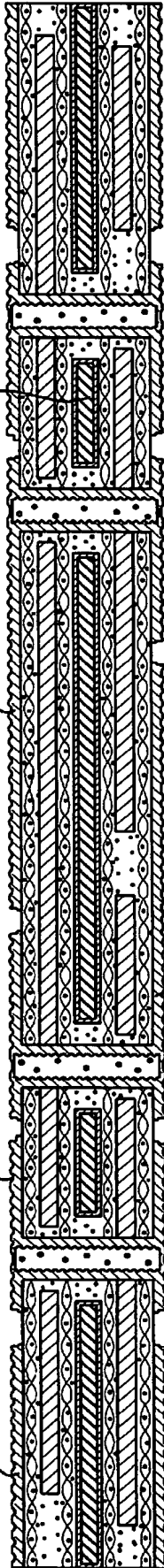
(C)

30

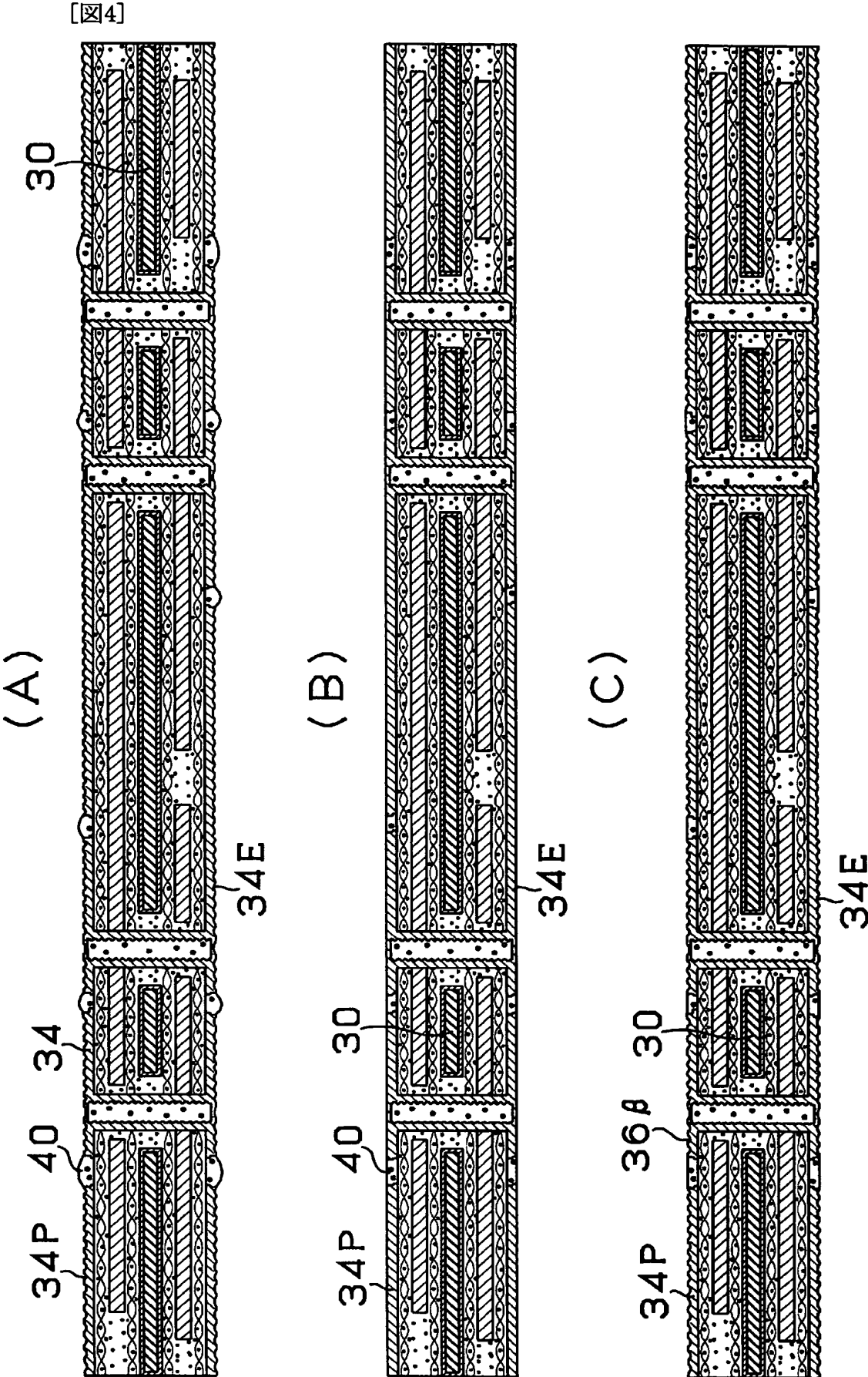
34P

34β

34

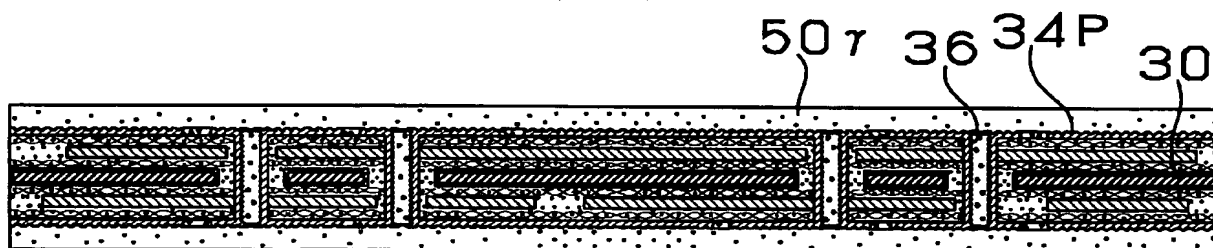


34E

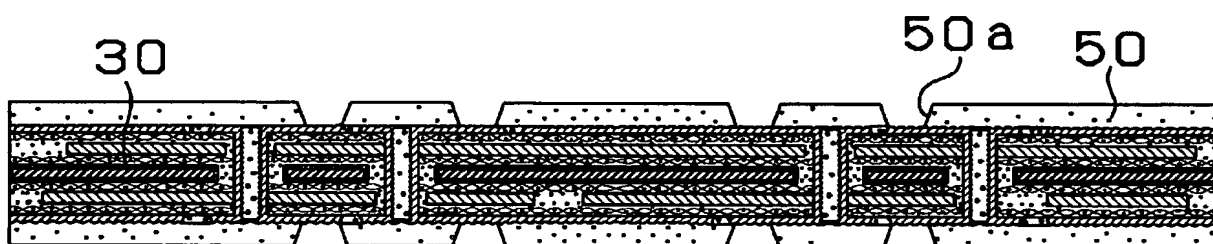


[図5]

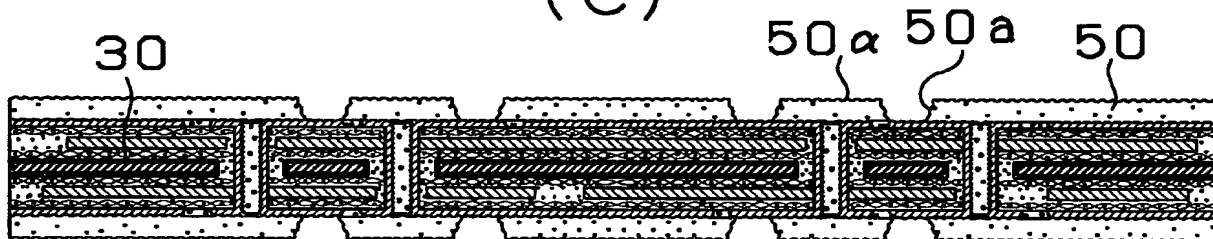
(A)



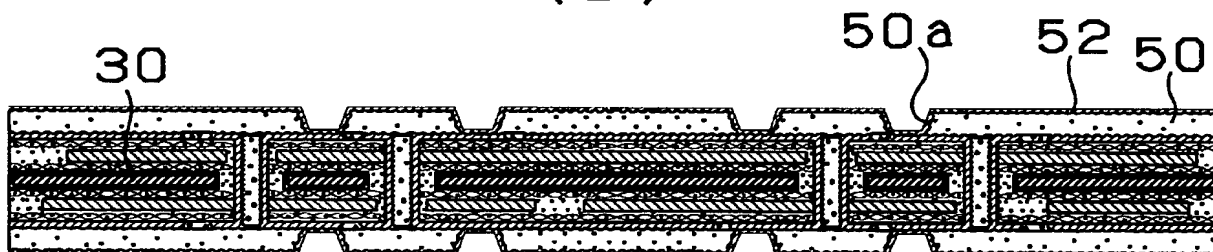
(B)



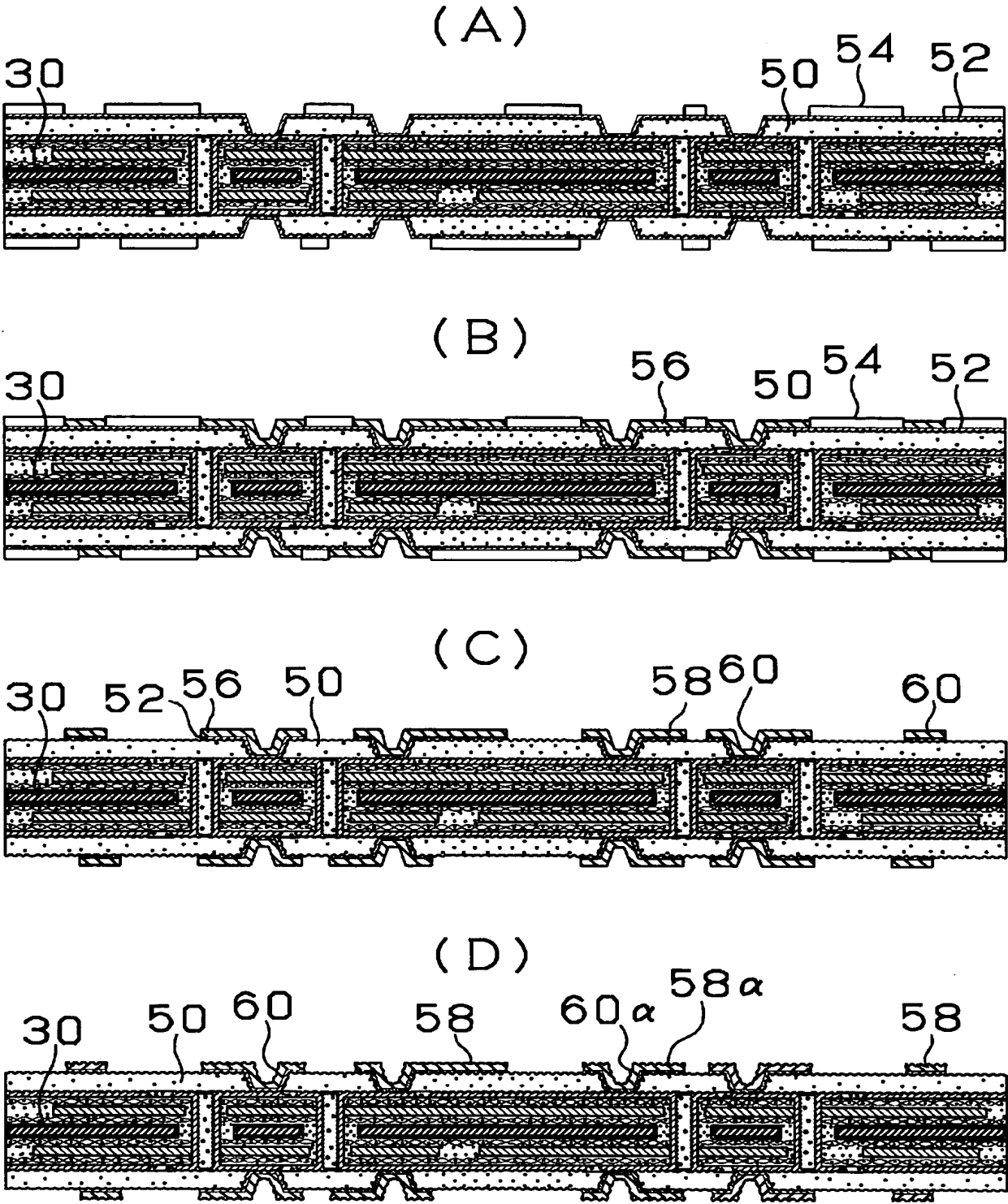
(C)



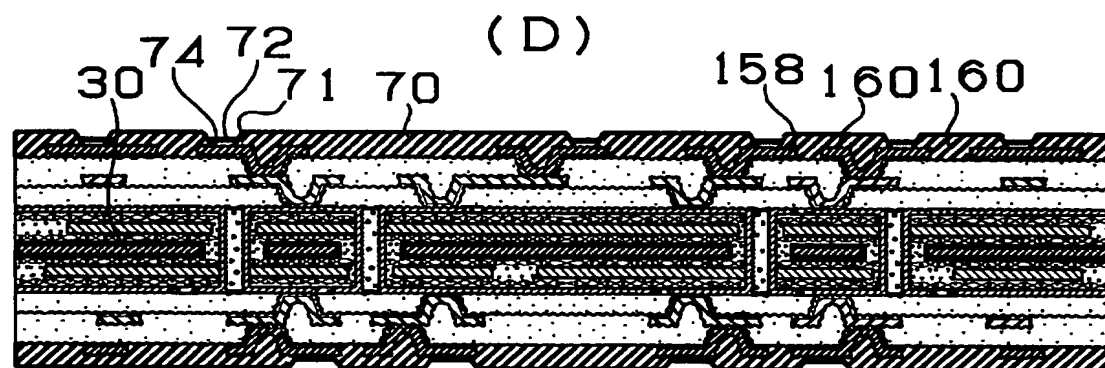
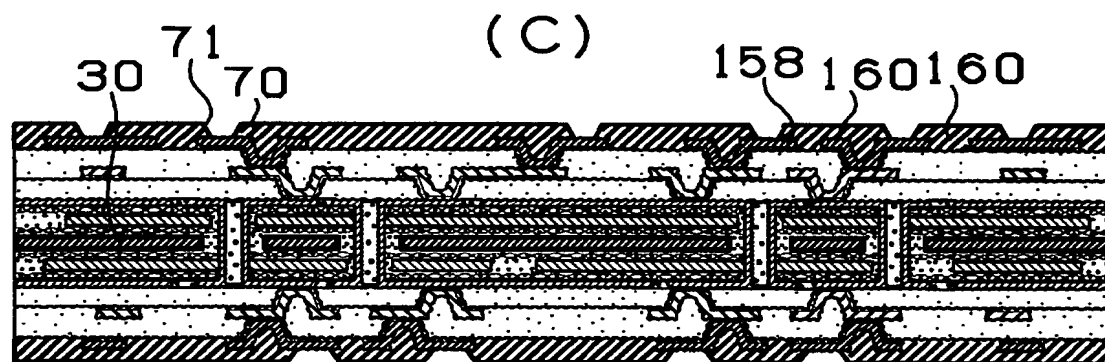
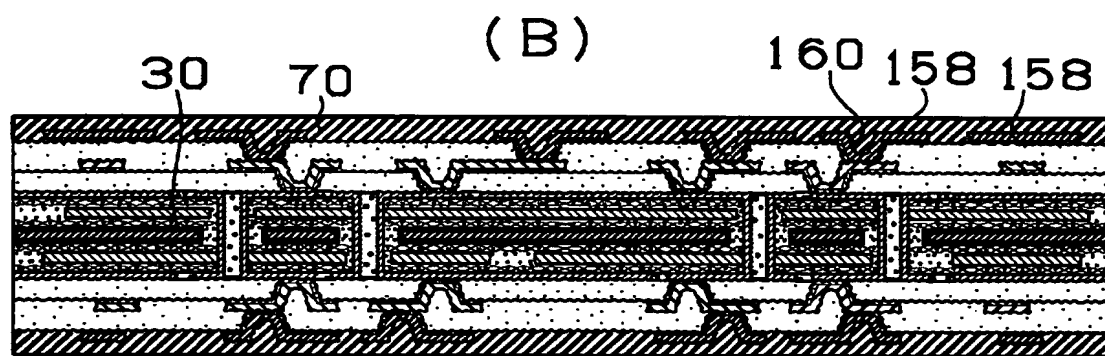
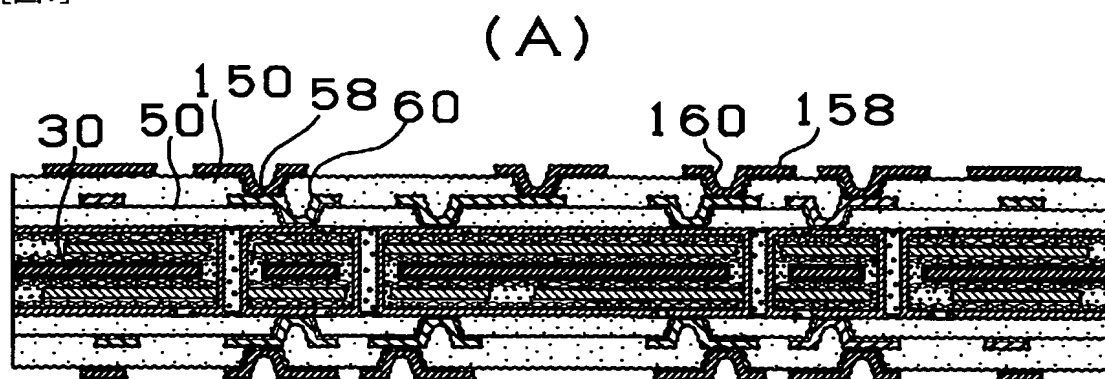
(D)



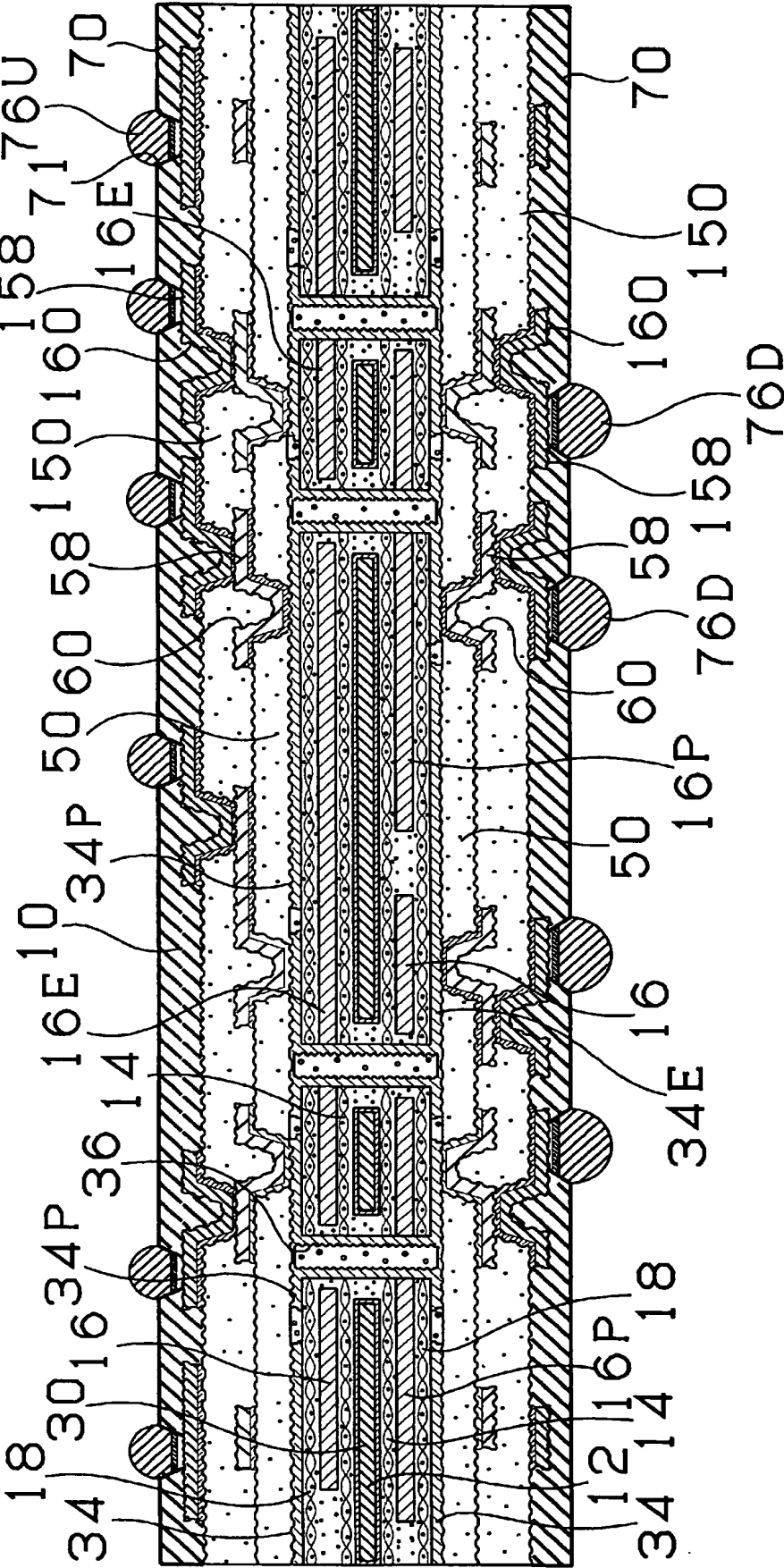
[図6]

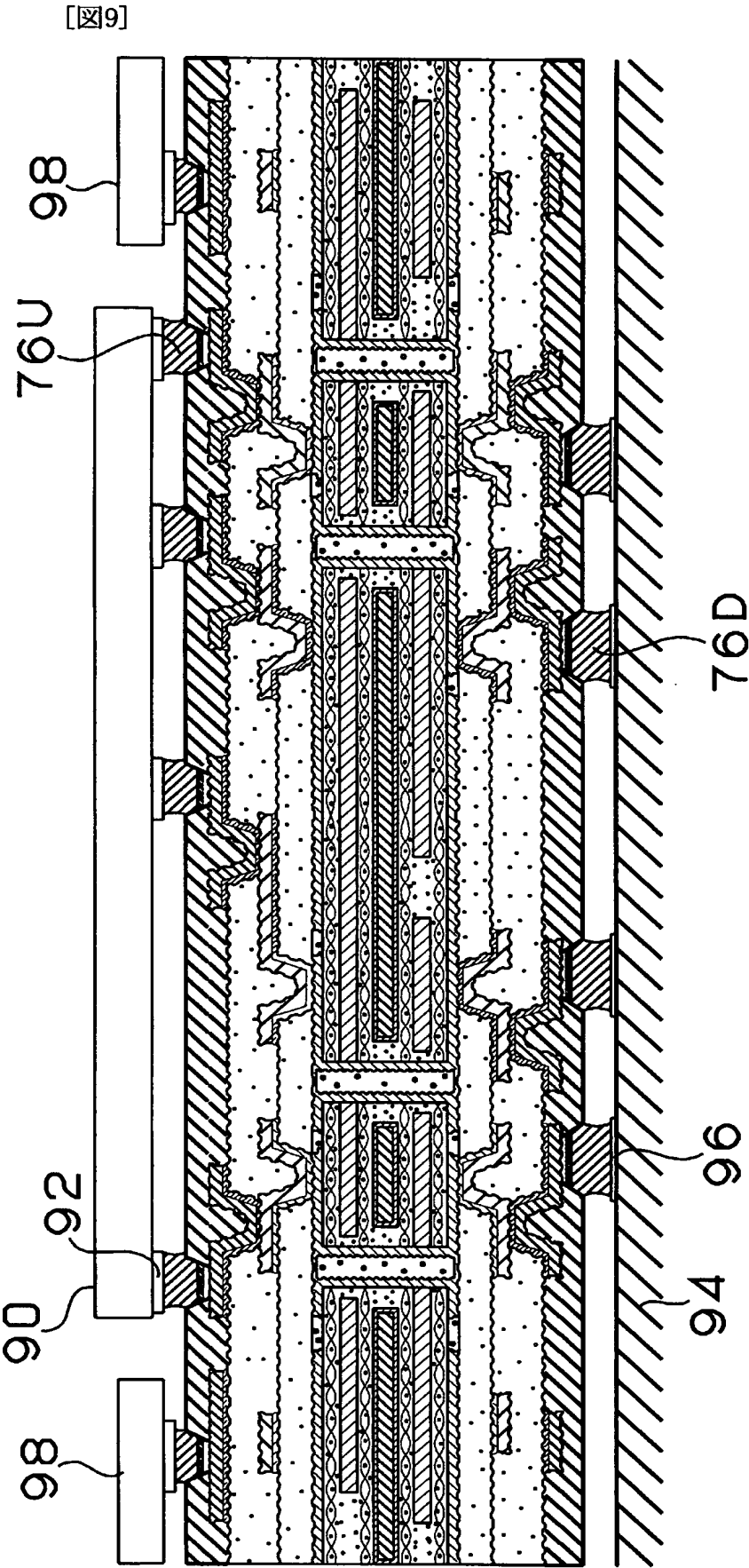


[図7]

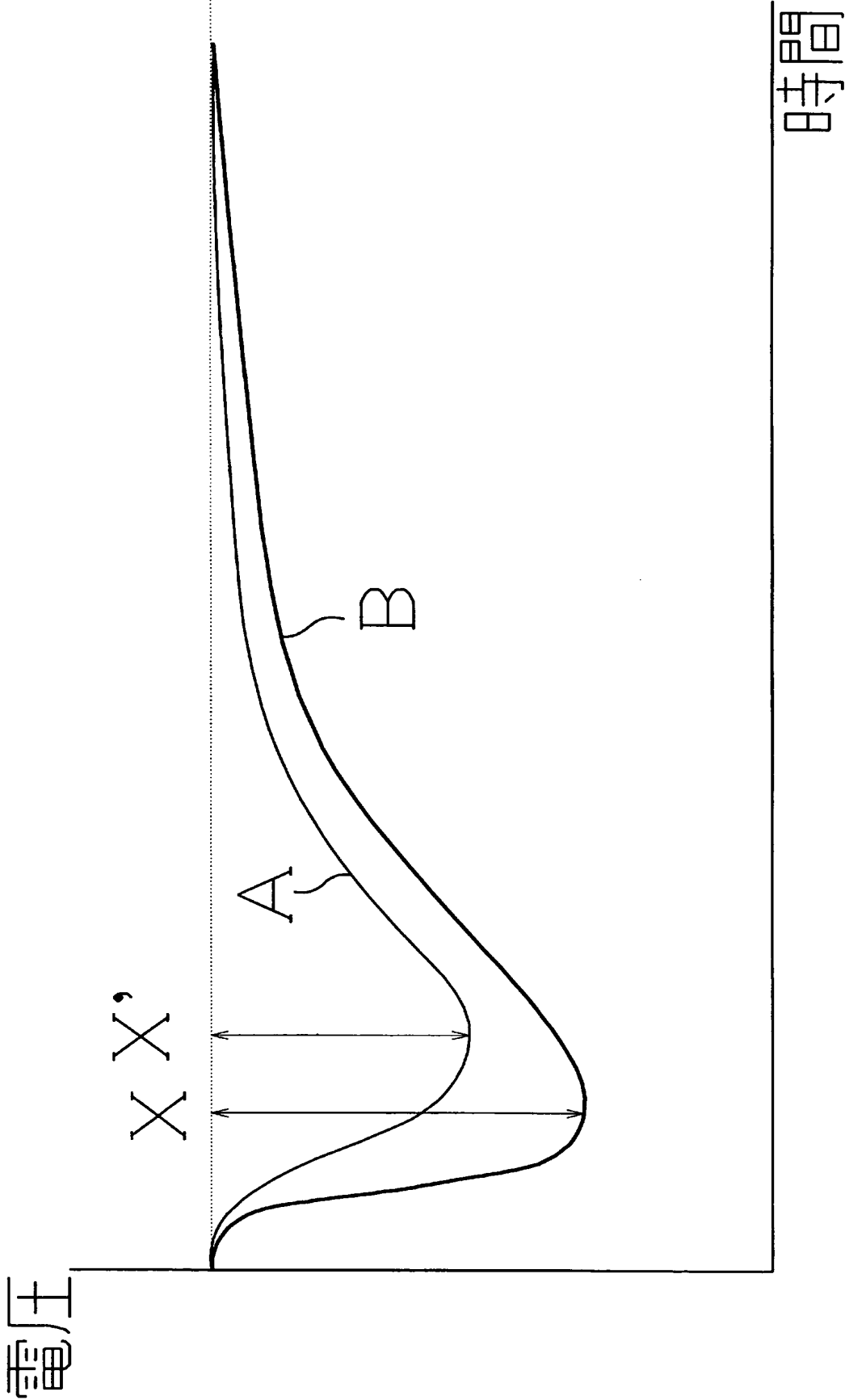


[図8]

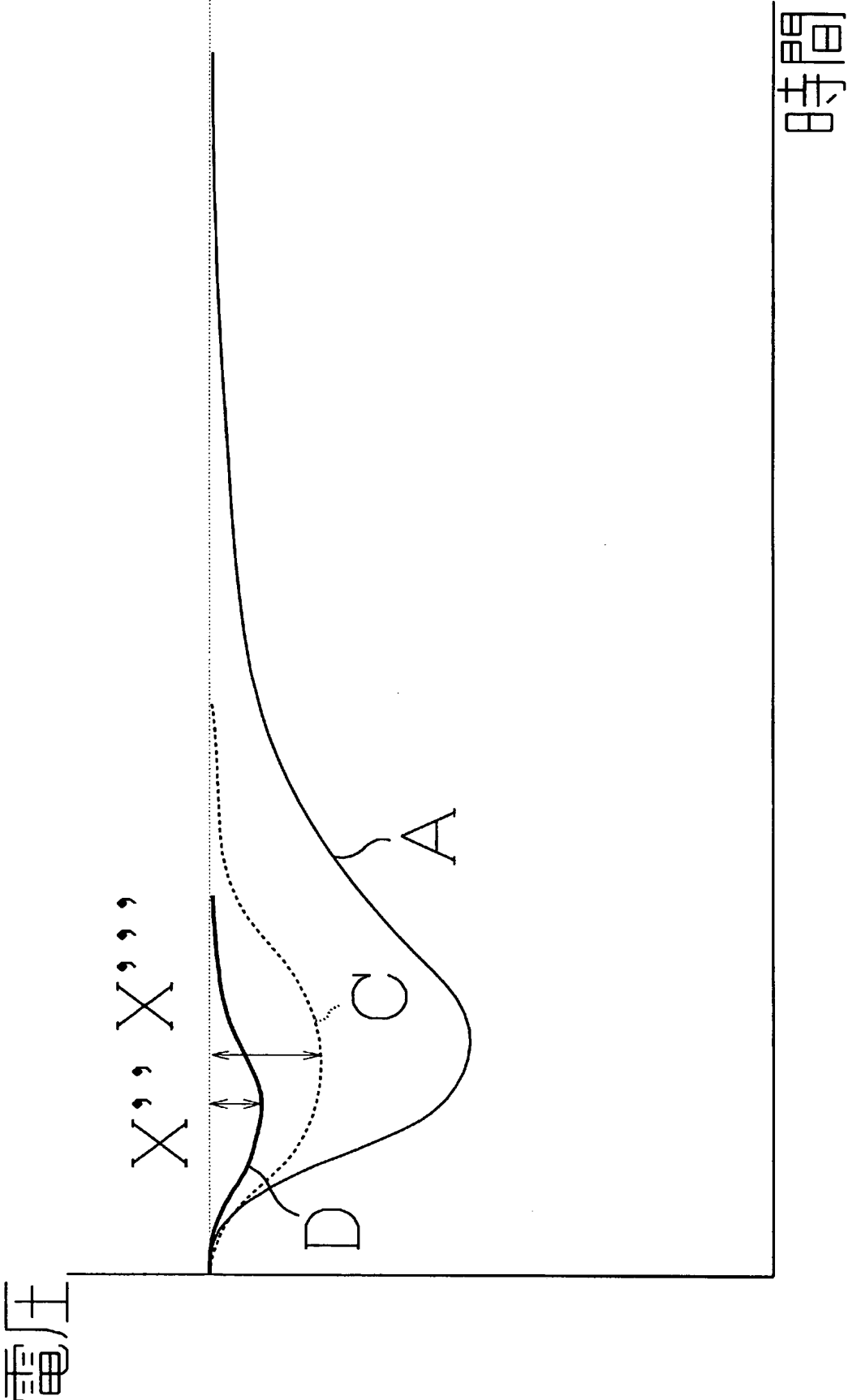




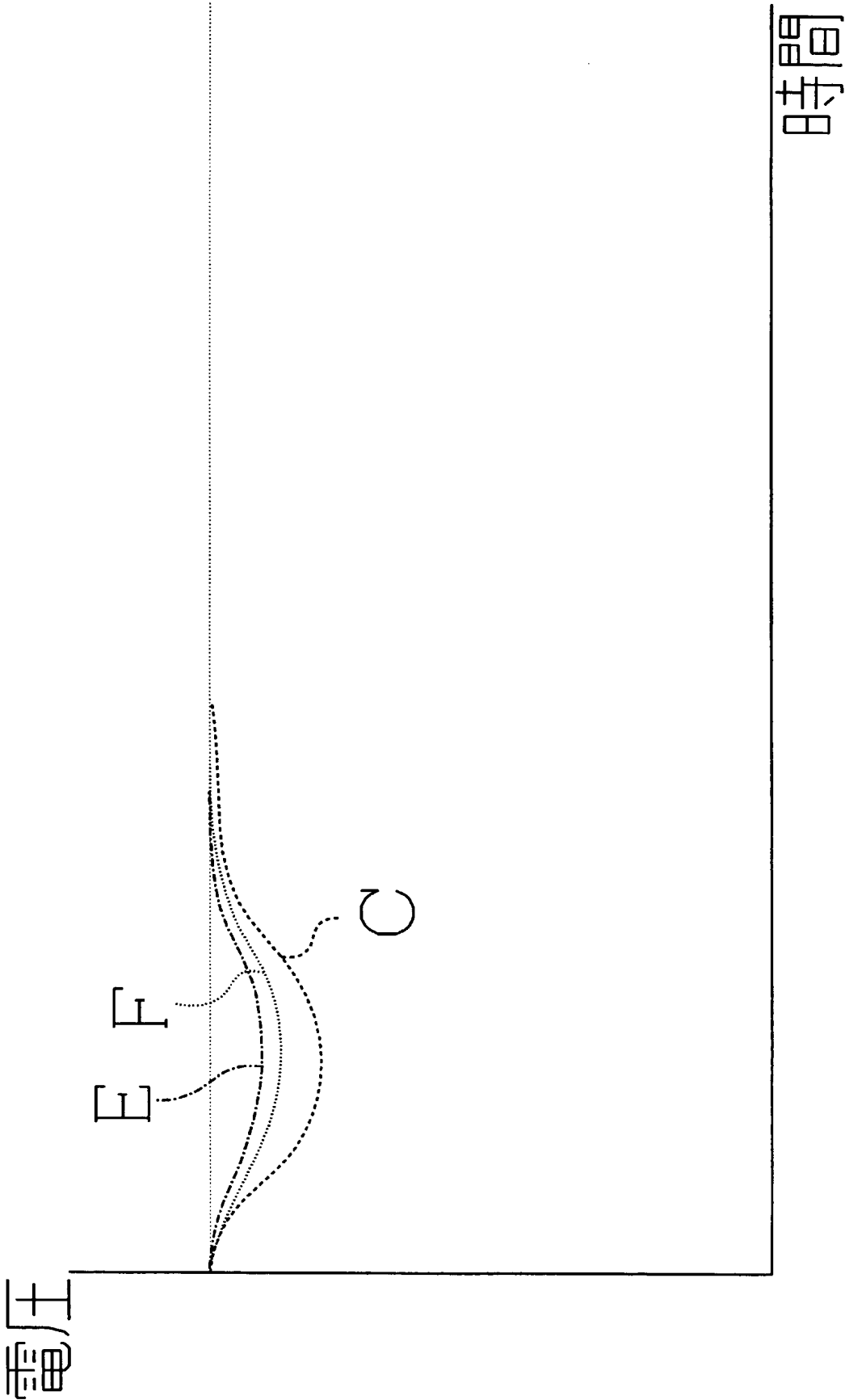
[図10]



[図11]



[図12]



[図13]

#	$\alpha 1 /$ $\alpha 2$	内層 の 層数	層間絶縁層 上の 導体層の厚み (μm)	コア基板 の表層の 電源層の厚み (μm)	コア基板 の内層の 電源層の厚み (μm)	コアの 電源層の 厚みの和 (μm)	電圧 降下量 (V)	HAST試験後 の結果
第1実施例-1	2	2	20	15	25	40	0.091	○
第1実施例-2	1.2	2	20	9	15	24	0.093	○
第1実施例-3	3	2	20	15	45	60	0.085	○
第1実施例-4	3.75	2	20	15	60	75	0.085	○
第1実施例-5	30.75	12	20	15	100	615	0.095	○
第1実施例-6	40.75	16	20	15	100	815	0.097	○
第1実施例-7	3	2	20	45	15	60	0.087	○
第1実施例-8	3.75	2	20	60	15	75	0.086	○
第1実施例-9	3.25	2	20	15	50	65	0.084	○
第1実施例-10	8.25	2	20	15	150	165	0.083	○
第1実施例-11	9.5	2	20	15	175	190	0.09	×
第1実施例-12	10.75	2	20	15	200	215	0.093	×
第1実施例-28	7	2	20	15	125	140	0.084	○
第1比較例-1	1	2	20	10	10	20	0.108	○
第1比較例-2	42	16	20	40	100	840	0.103	○
第1比較例-3	50.75	20	20	15	100	1015	0.123	○

[図14]

#	導体幅／導体間の間隔(μm)				
	5／5	7.5／7.5	10／10	12.5／12.5	15／15
第1実施例-3	○	○	○	○	○
第1実施例-4	○	○	○	○	○
第1実施例-7	×	×	○	○	○
第1実施例-8	×	×	○	○	○

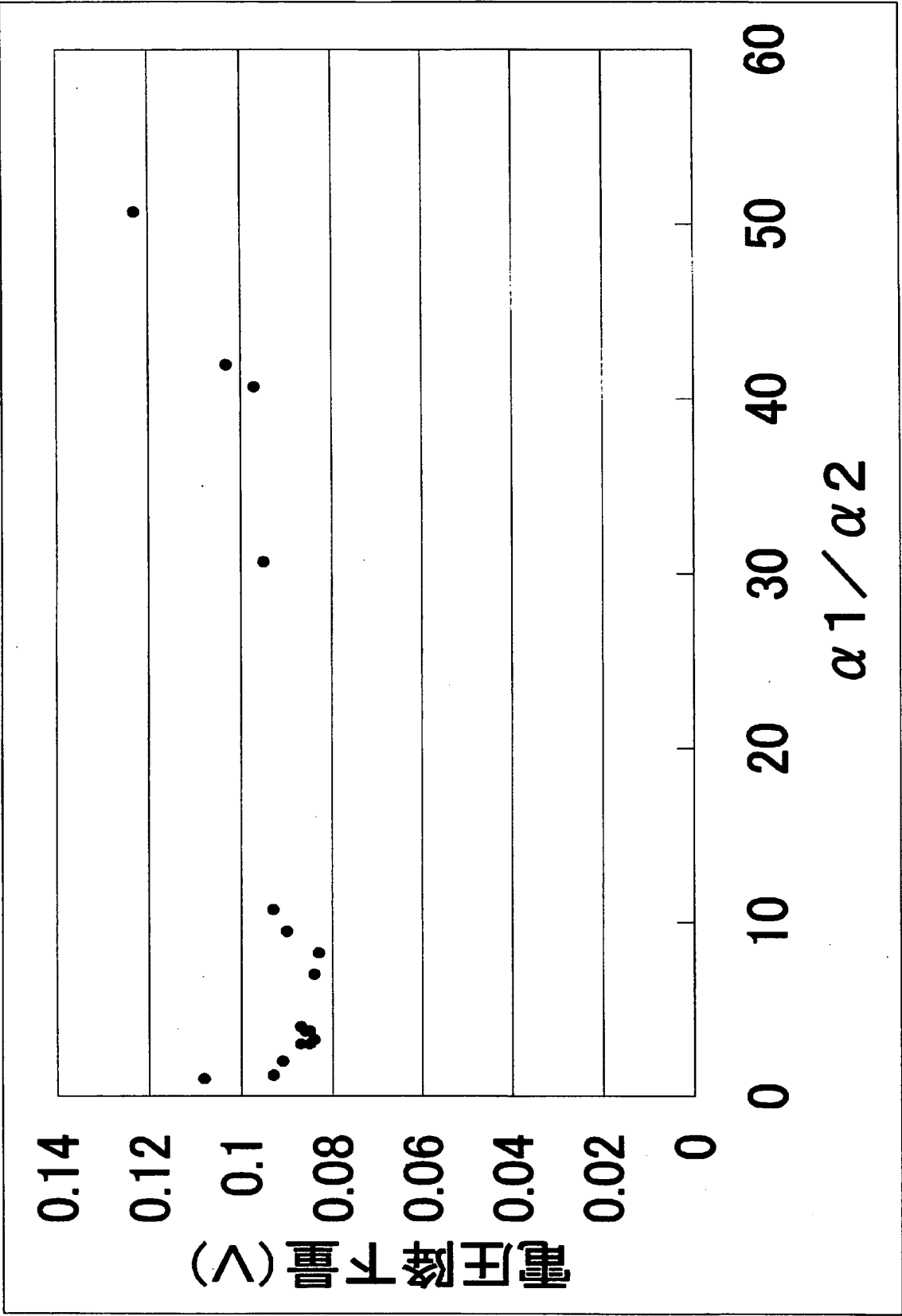
[図15]

#	$\alpha 1 / \alpha 2$	内層 の 層数	層間絶縁層 上の 導体層 の厚み (μm)	コア基板 の表層の 電源層 の厚み (μm)	コア基板 の内層の 電源層 の厚み (μm)	コアの 電源層の 厚みの和 (μm)	電圧 降下量 (V)	誤動作の有無		
								No.1の ICを実装	No.2の ICを実装	No.3の ICを実装
第1実施例-1	2	2	20	15	25	40	0.091	無	あり	あり
第1実施例-2	1.2	2	20	9	15	24	0.093	無	あり	あり
第1実施例-3	3	2	20	15	45	60	0.085	無	無	無
第1実施例-4	3.75	2	20	15	60	75	0.085	無	無	無
第1実施例-5	30.75	12	20	15	100	615	0.095	無	あり	あり
第1実施例-6	40.75	16	20	15	100	815	0.097	無	あり	あり
第1実施例-7	3	2	20	45	15	60	0.087	無	無	あり
第1実施例-8	3.75	2	20	60	15	75	0.086	無	無	あり
第1実施例-9	3.25	2	20	15	50	65	0.084	無	無	無
第1実施例-10	8.25	2	20	15	150	165	0.083	無	無	あり
第1実施例-11	9.5	2	20	15	175	190	0.09	無	あり	あり
第1実施例-12	10.75	2	20	15	200	215	0.093	無	あり	あり
第1実施例-27	4	4	20	15	32.5	80	0.087	無	無	あり
第1実施例-28	7	2	20	15	125	140	0.084	無	無	無
第1比較例-1	1	2	20	10	10	20	0.108	あり	あり	あり
第1比較例-2	42	16	20	40	100	840	0.103	あり	あり	あり
第1比較例-3	50.75	20	20	15	100	1015	0.123	あり	あり	あり

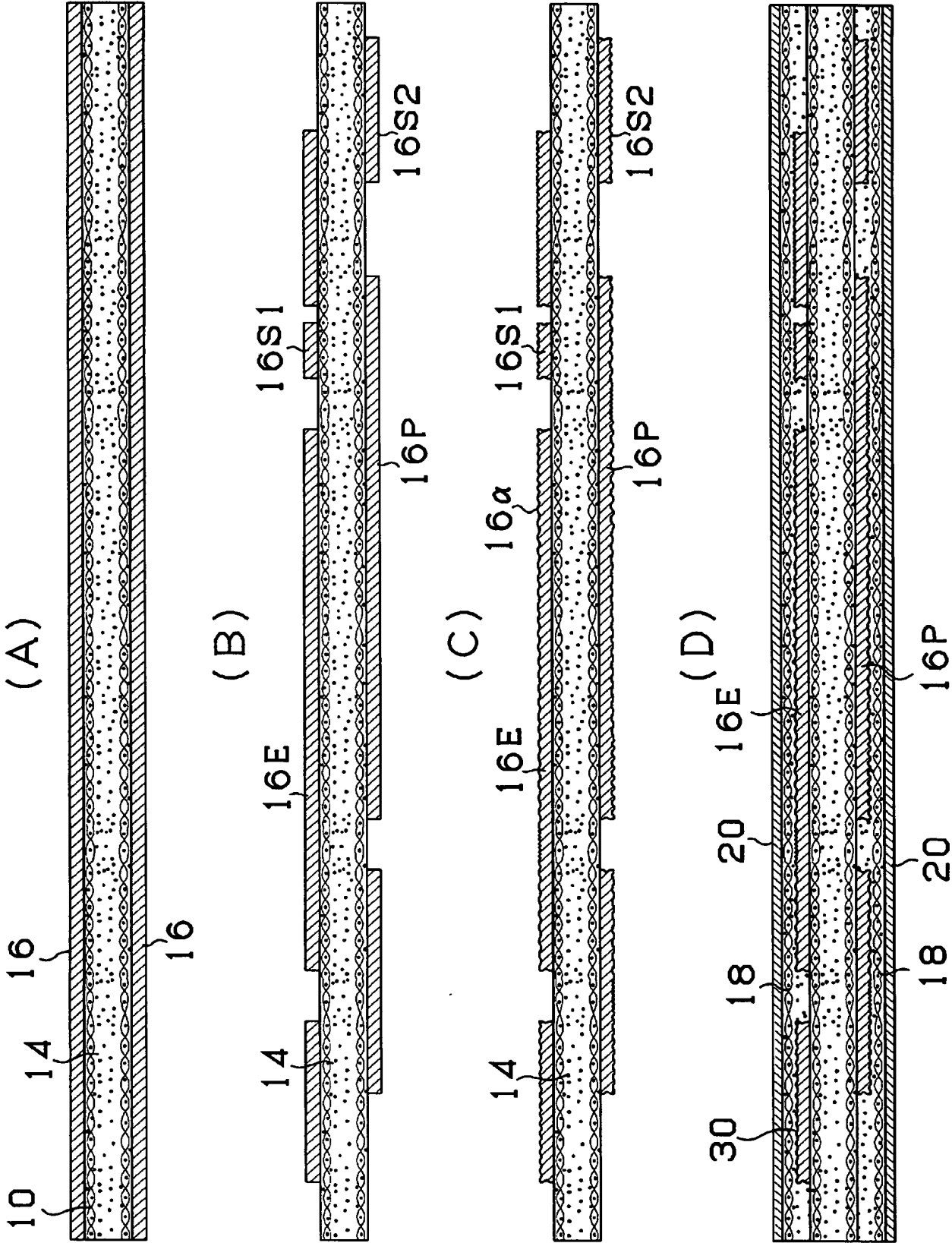
[図16]

#	$\alpha 1$ / $\alpha 2$	タミラン ド を有しない TH%	内層 の 層数	層間絶縁層 上の 導体層 の厚み (μm)	コア基板 の表層の 電源層 の厚み (μm)	コア基板 の内層の 電源層 の厚み (μm)	コアの 電源層の 厚みの和 (μm)	誤動作の有無		
								No.1の ICを実装	No.2の ICを実装	No.3の ICを実装
第1実施例-13	3	50	2	20	15	45	60	無	無	無
第1実施例-14	3	100	2	20	15	45	60	無	無	無
第1実施例-15	3.25	50	2	20	15	50	65	無	無	無
第1実施例-16	3.25	100	2	20	15	50	65	無	無	無
第1実施例-17	3.75	50	2	20	15	60	75	無	無	無
第1実施例-18	3.75	100	2	20	15	60	75	無	無	無
第1実施例-19	8.25	50	2	20	15	150	165	無	無	無
第1実施例-20	8.25	100	2	20	15	150	165	無	無	無
第1実施例-21	9.5	50	2	20	15	175	190	無	無	あり
第1実施例-22	9.5	100	2	20	15	175	190	無	無	あり
第1実施例-23	10.75	50	2	20	15	200	215	無	無	あり
第1実施例-24	10.75	100	2	20	15	200	215	無	無	あり
第1実施例-25	3	50	2	20	45	15	60	無	無	あり
第1実施例-26	3	100	2	20	45	15	60	無	無	あり
第1実施例-29	4	50	4	20	15	32.5	80	無	無	無
第1実施例-30	4	100	4	20	15	32.5	80	無	無	無

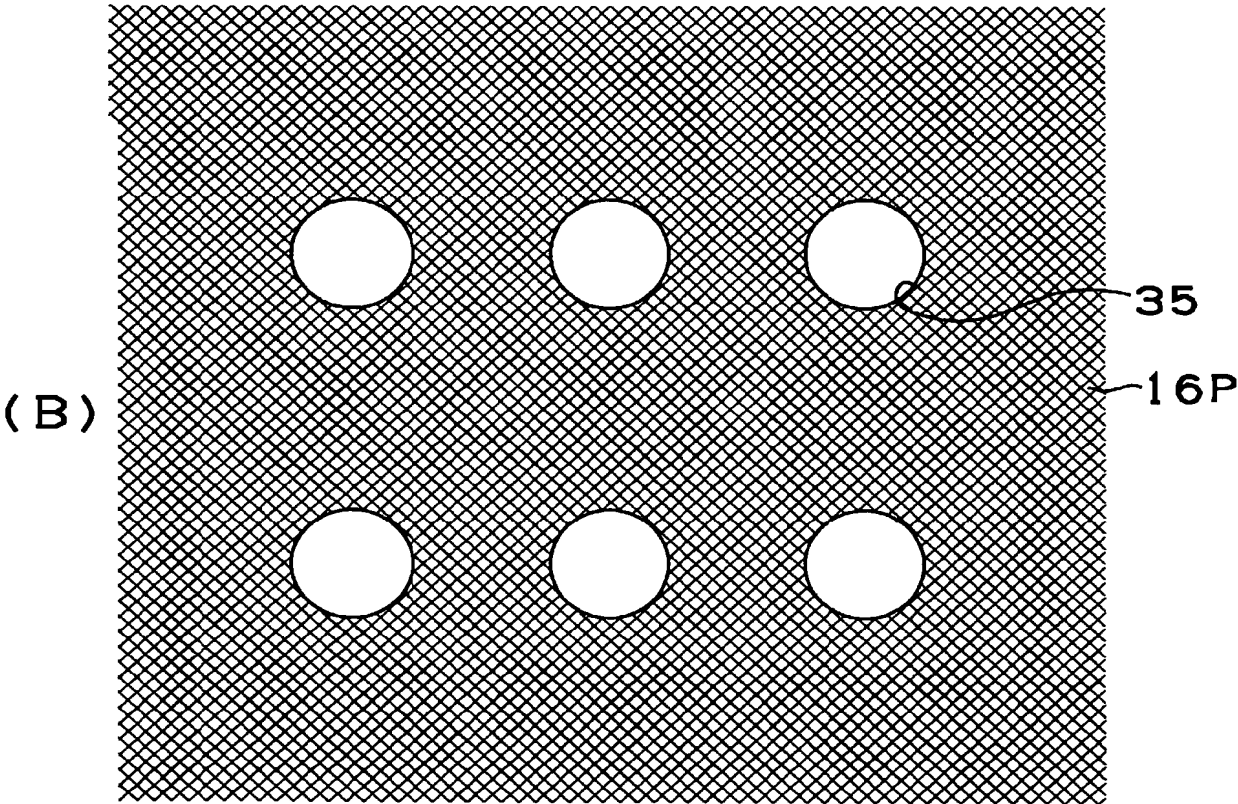
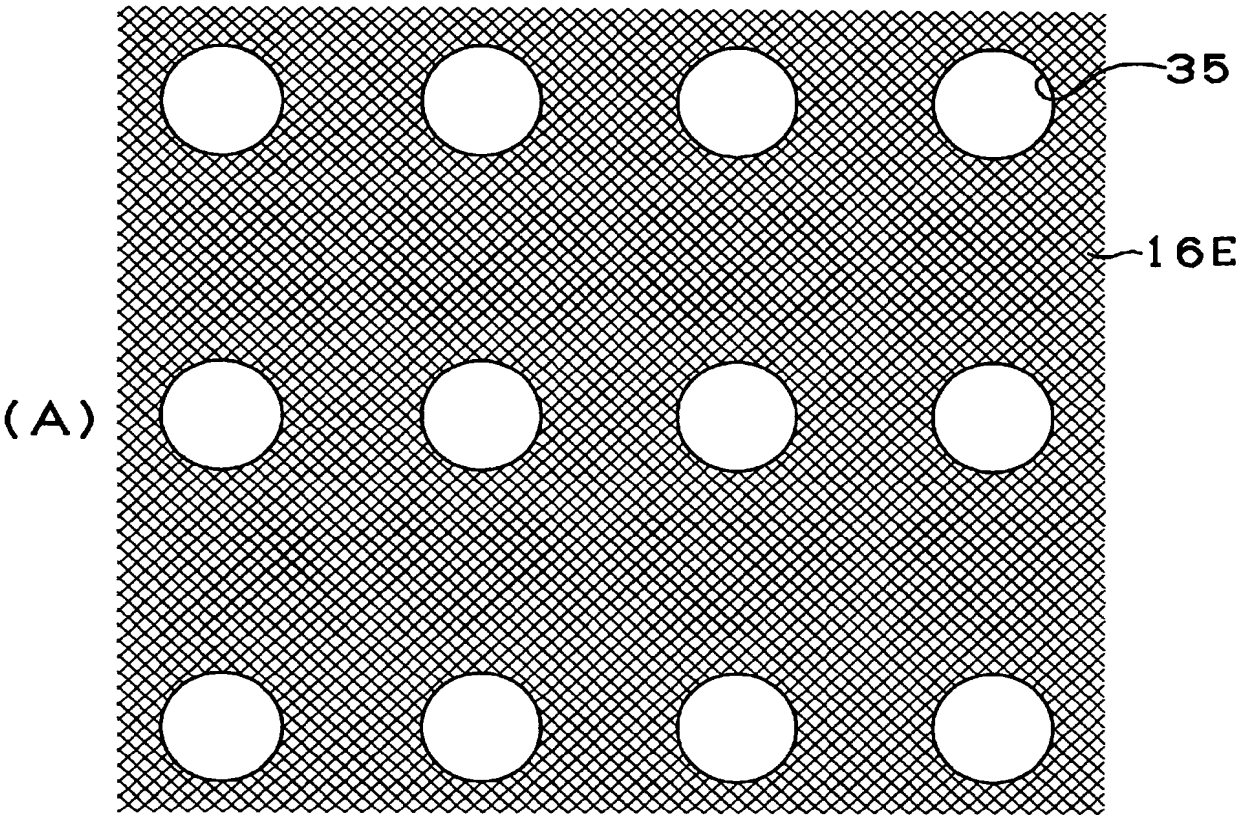
[図17]

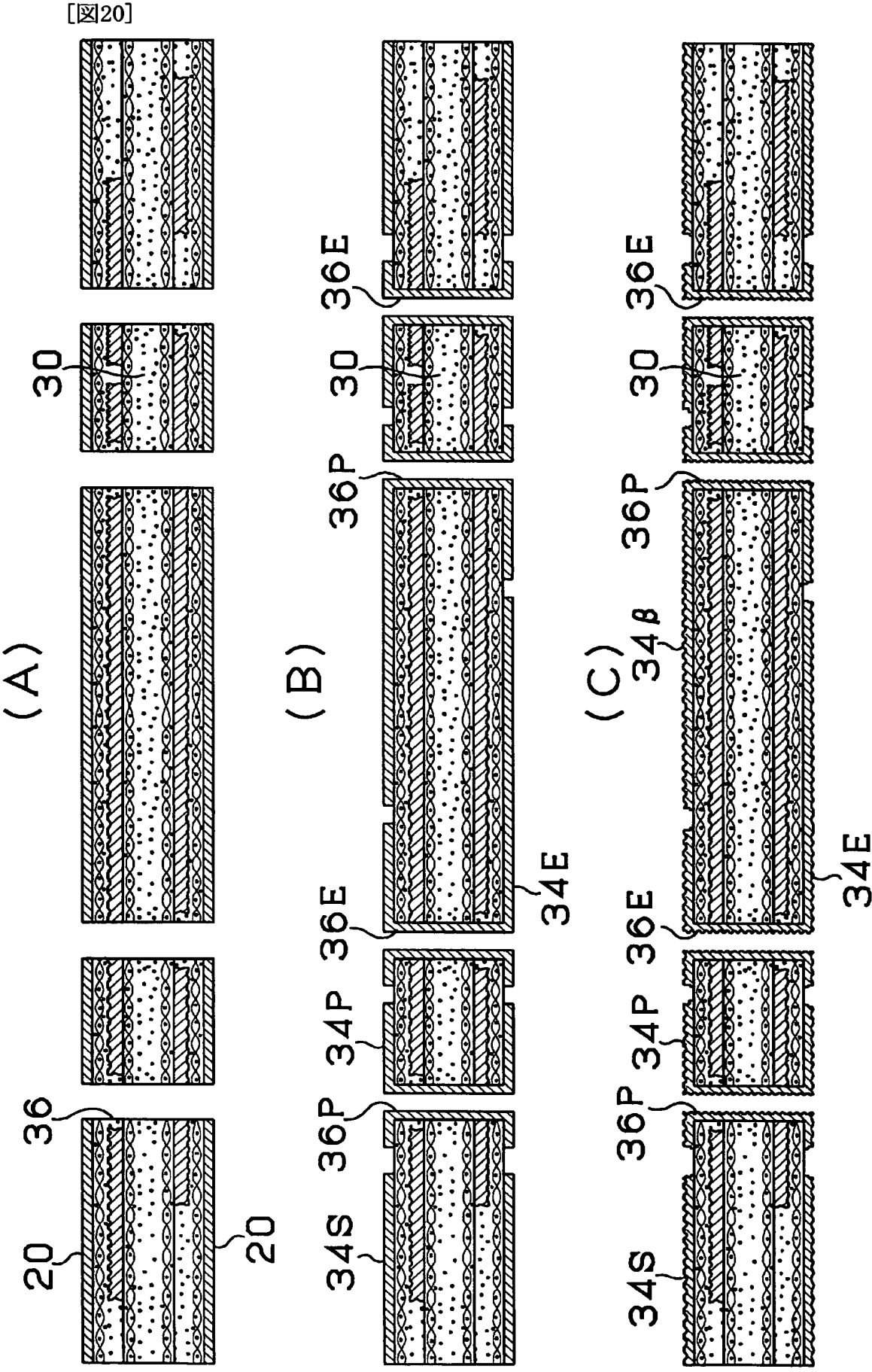


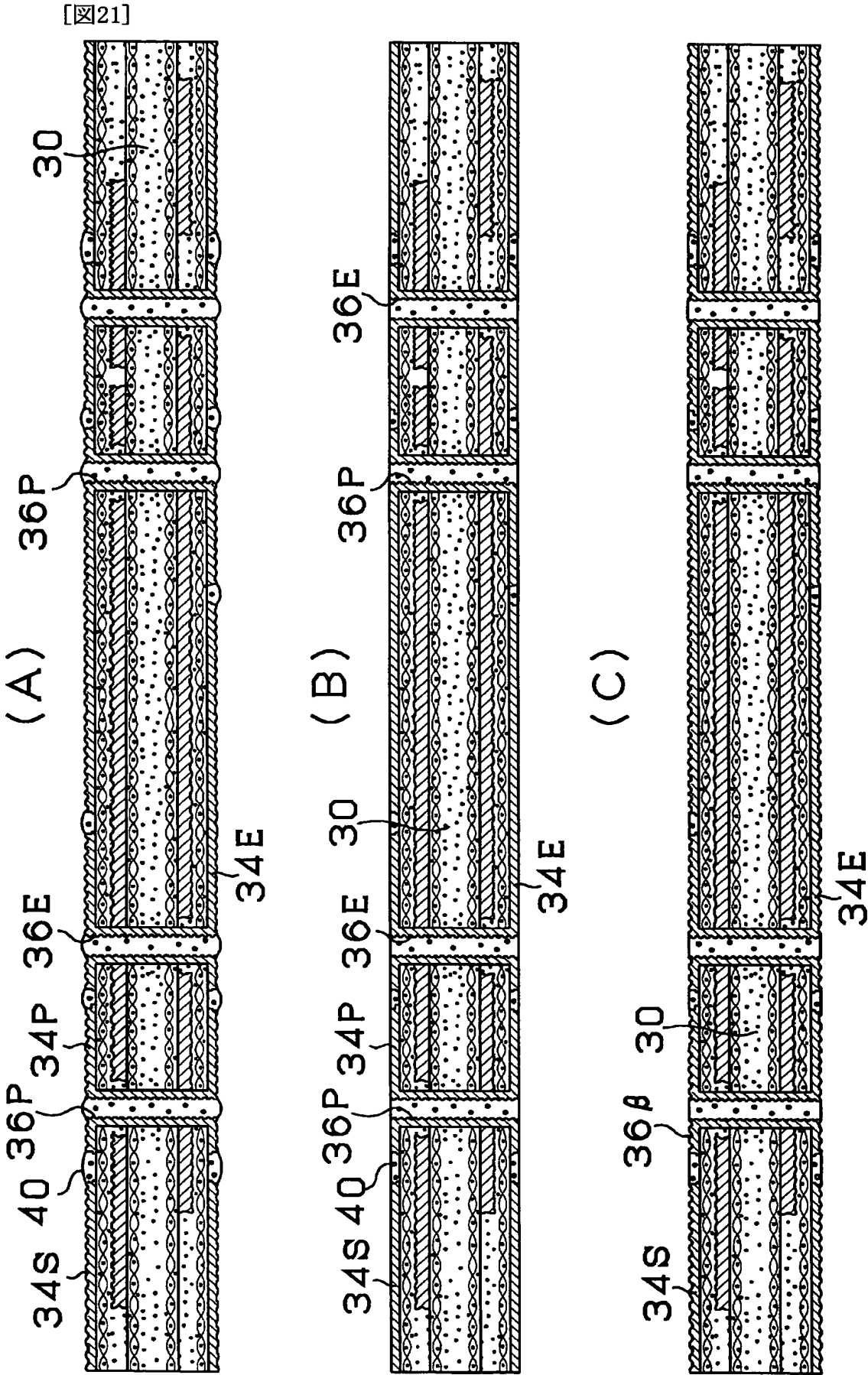
[図18]



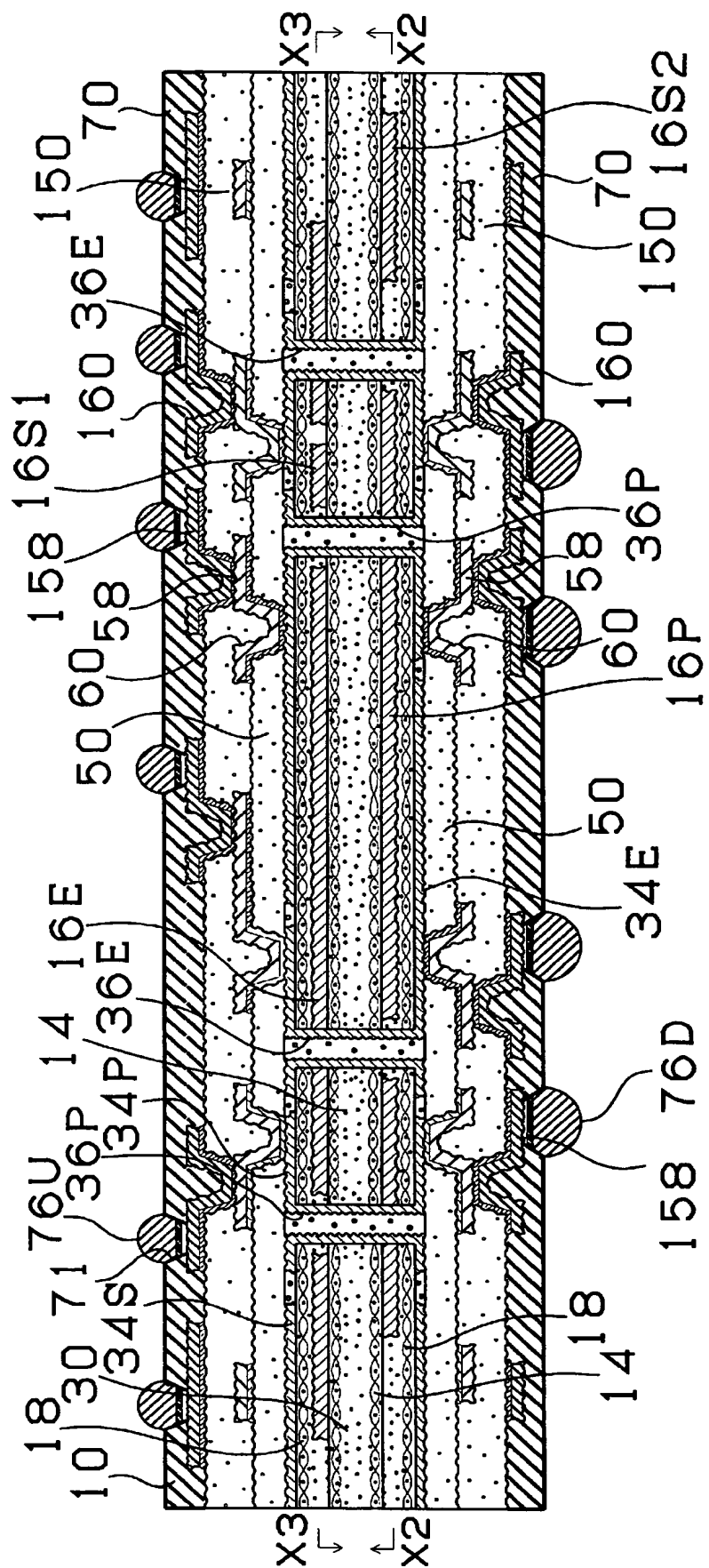
[図19]



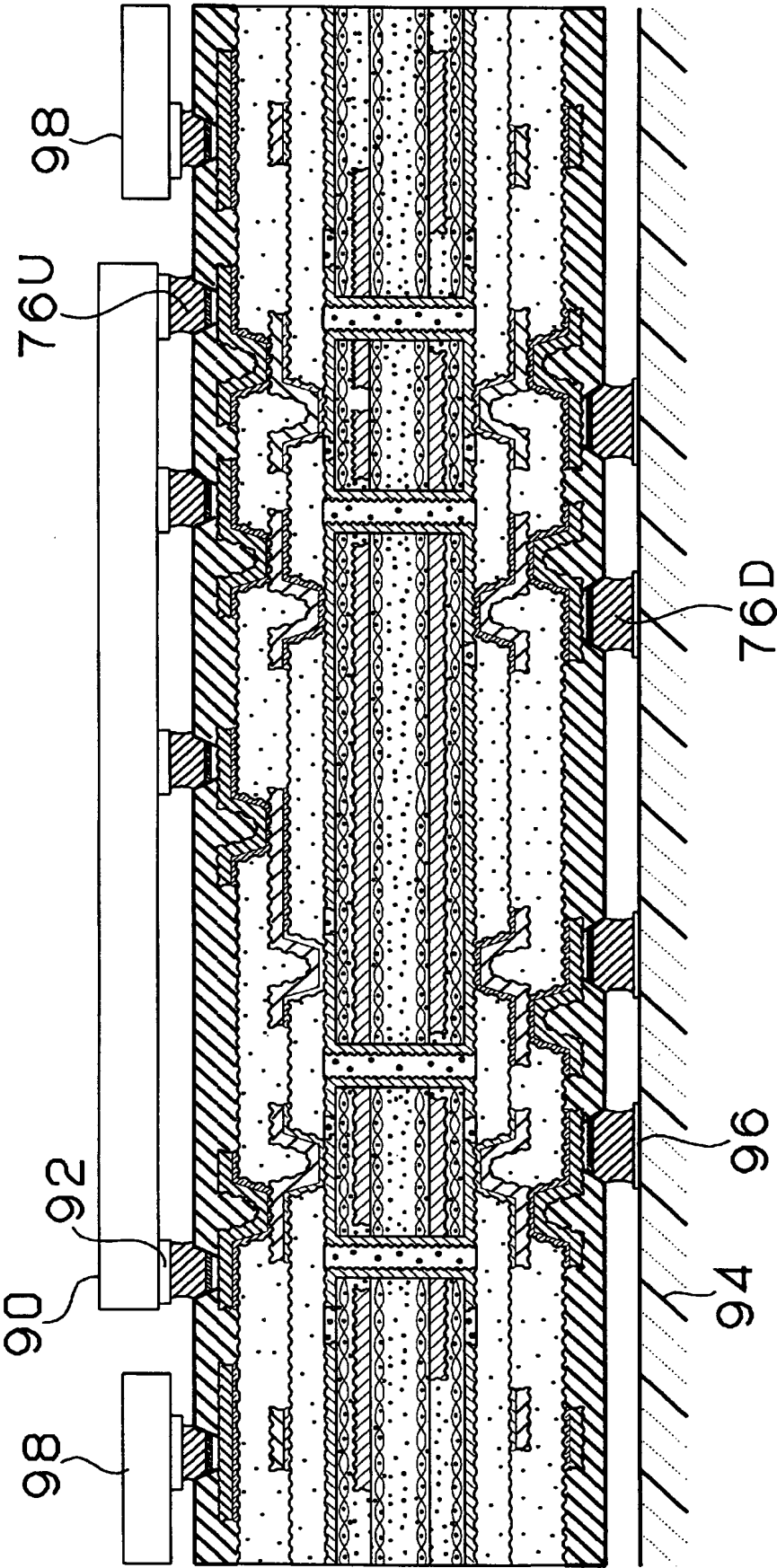




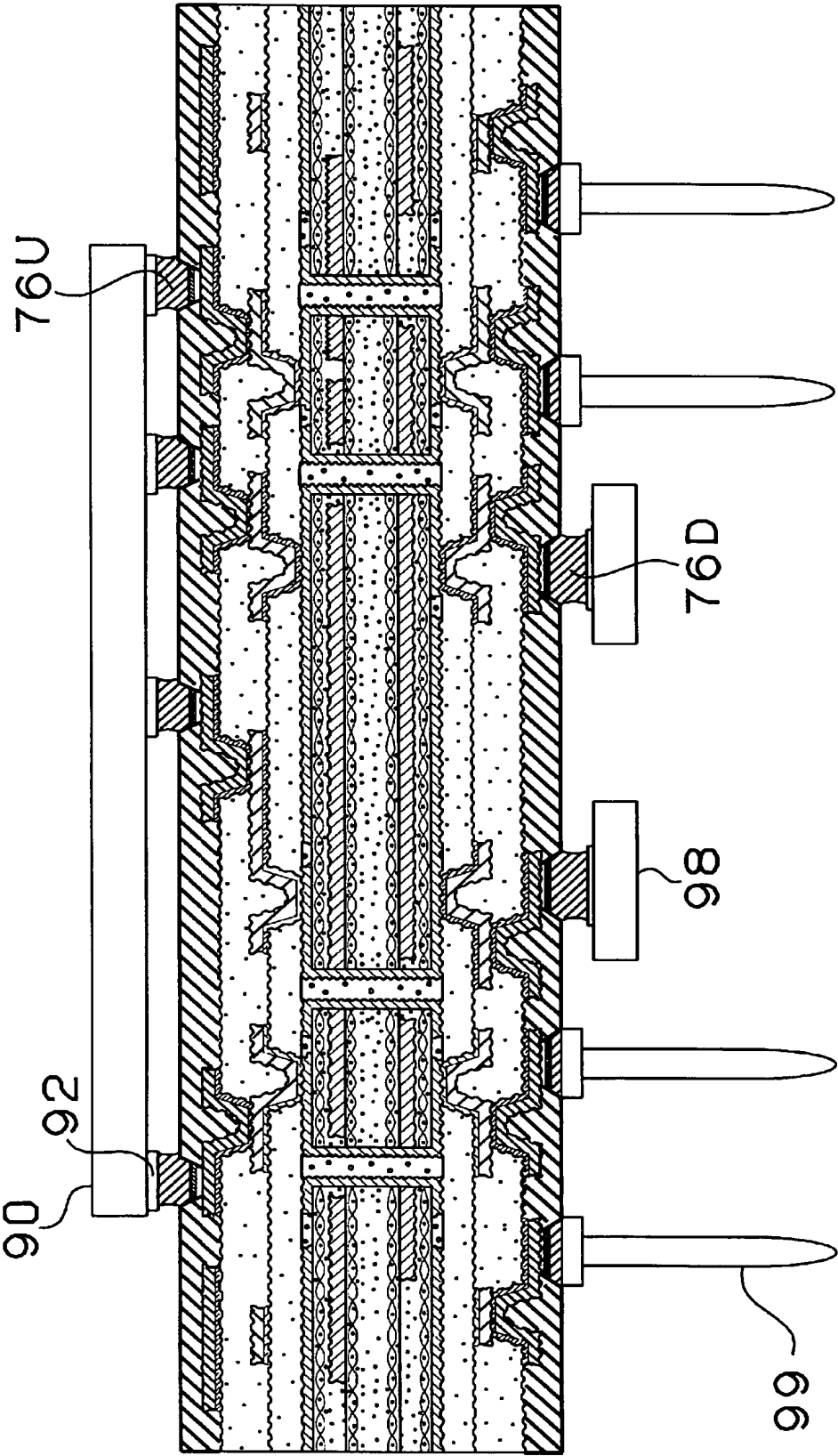
[図22]



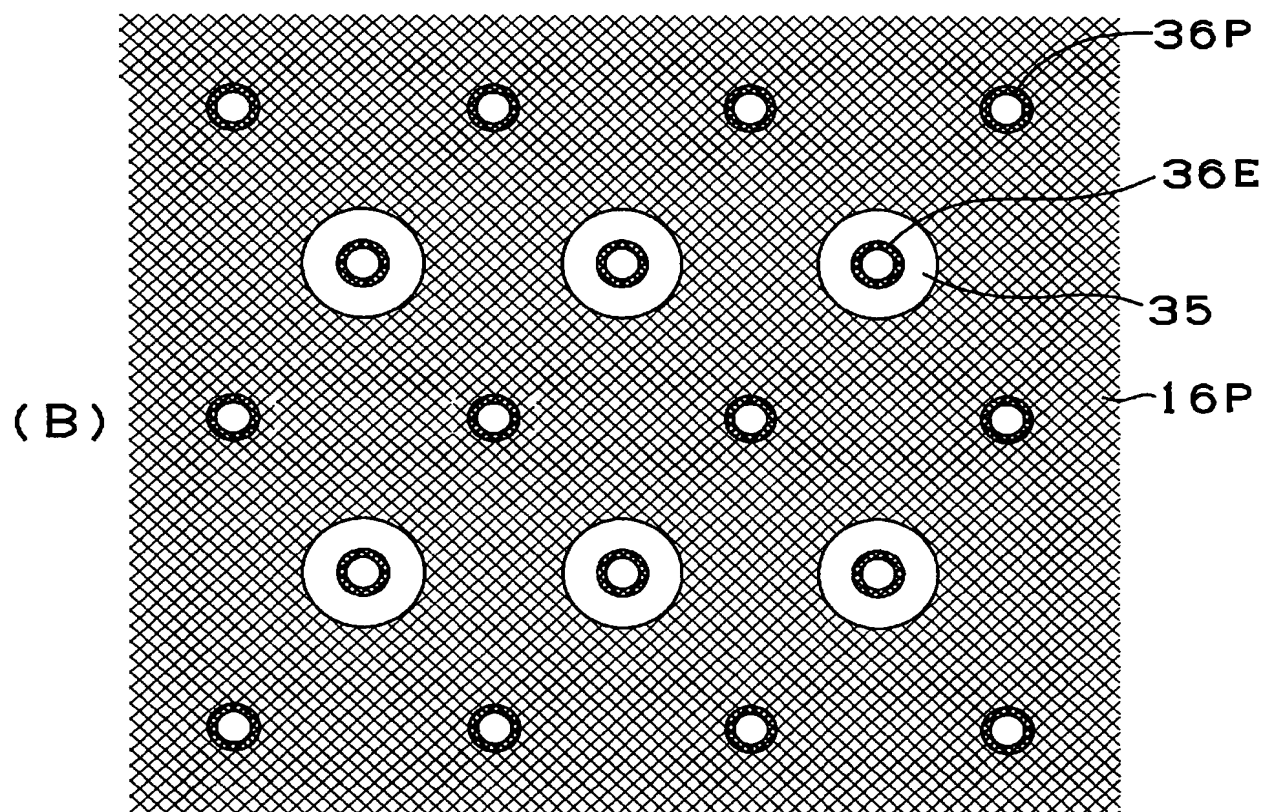
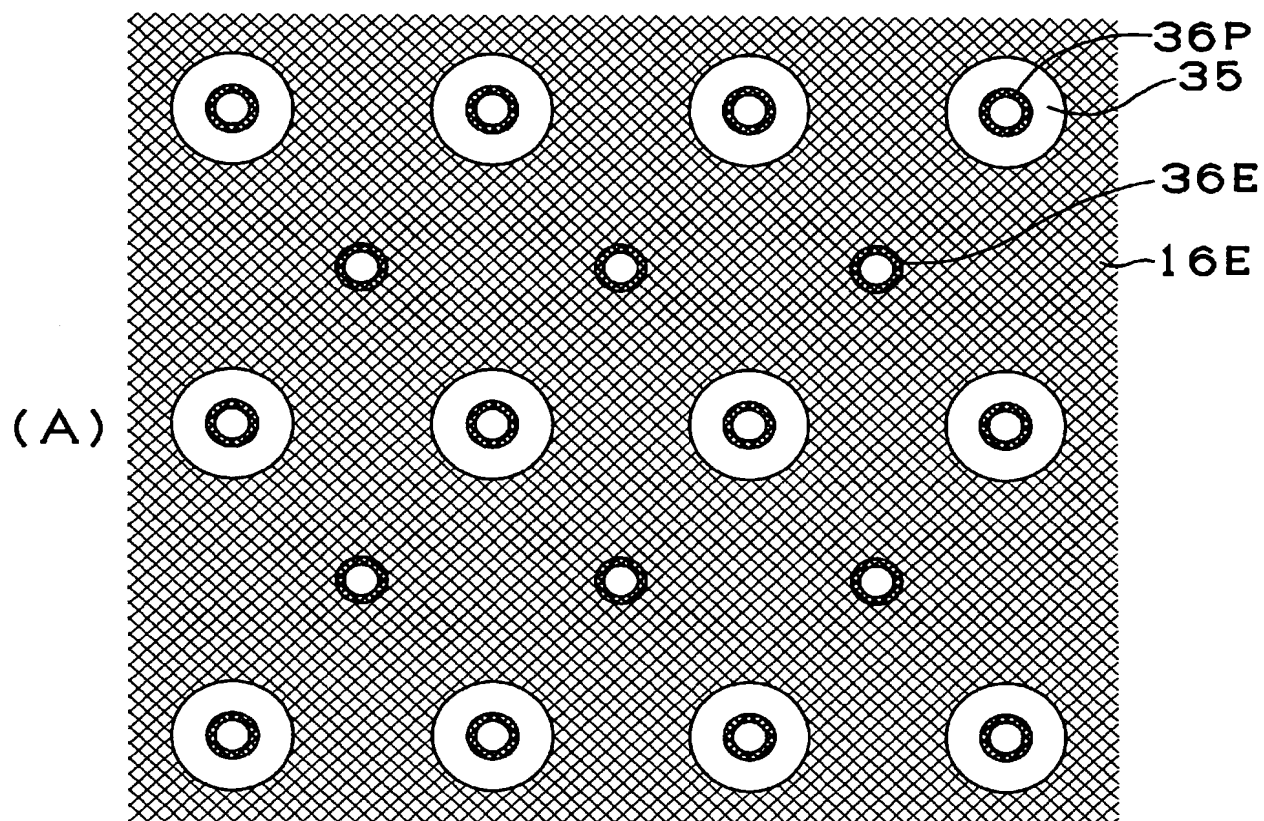
[図23]



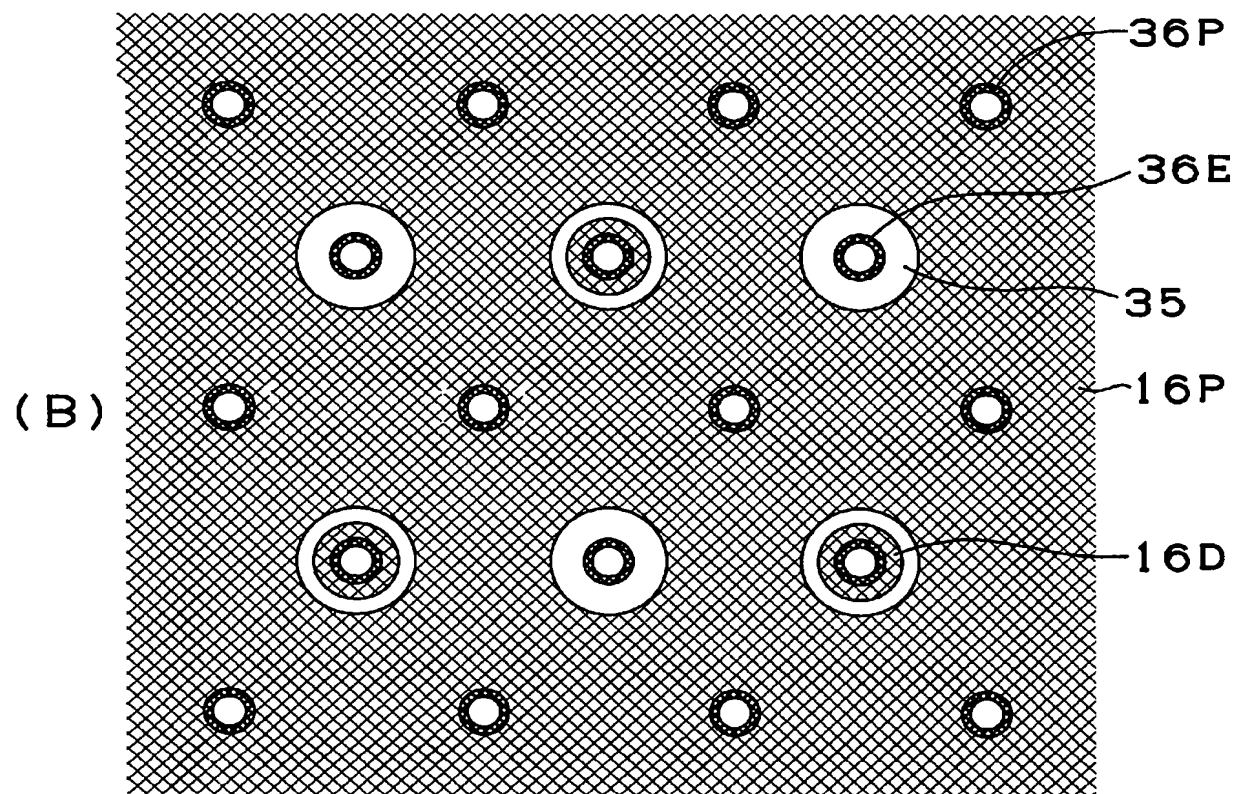
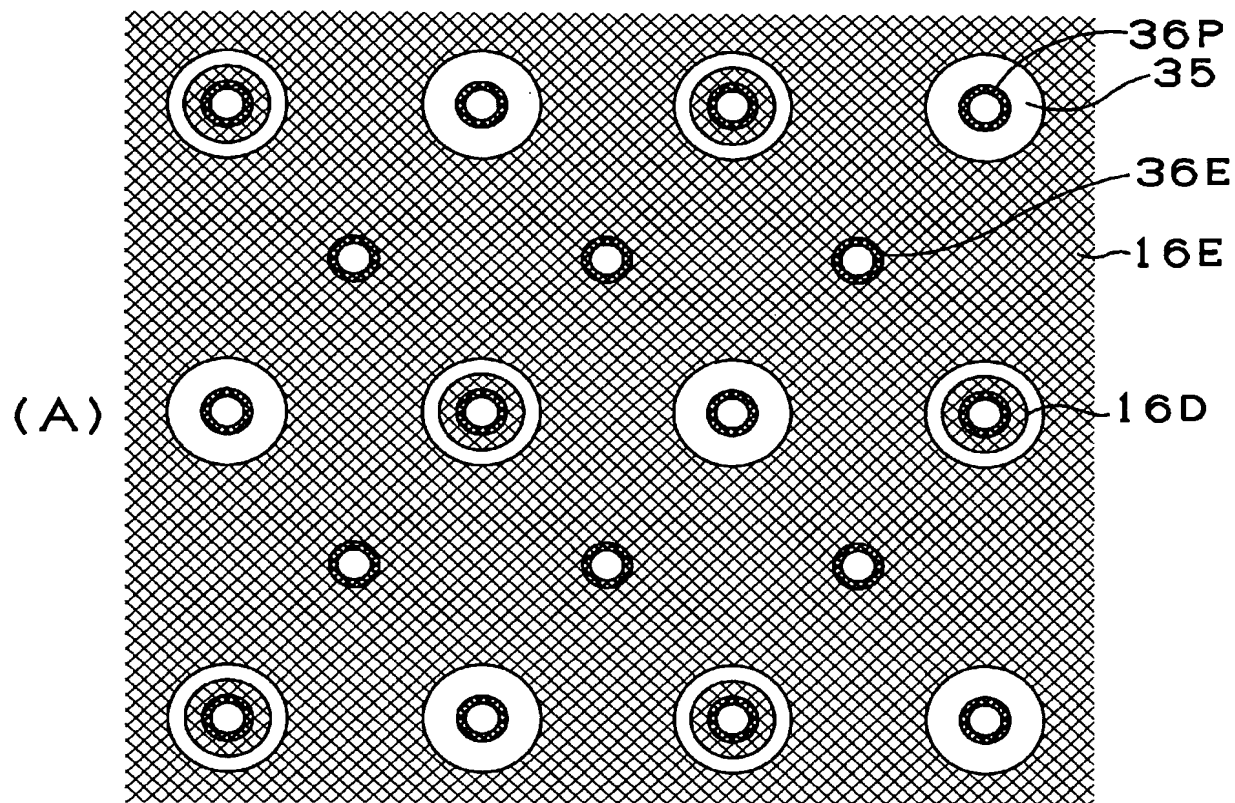
[図24]



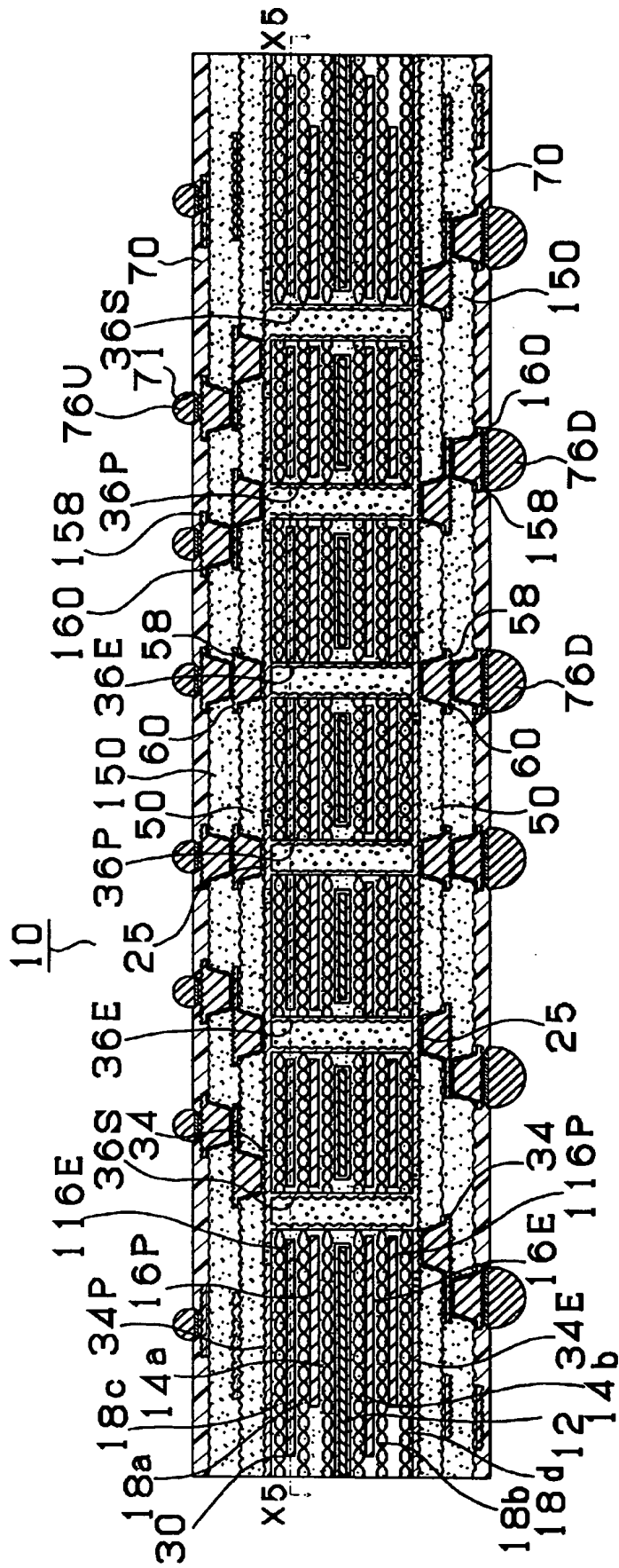
[図25]



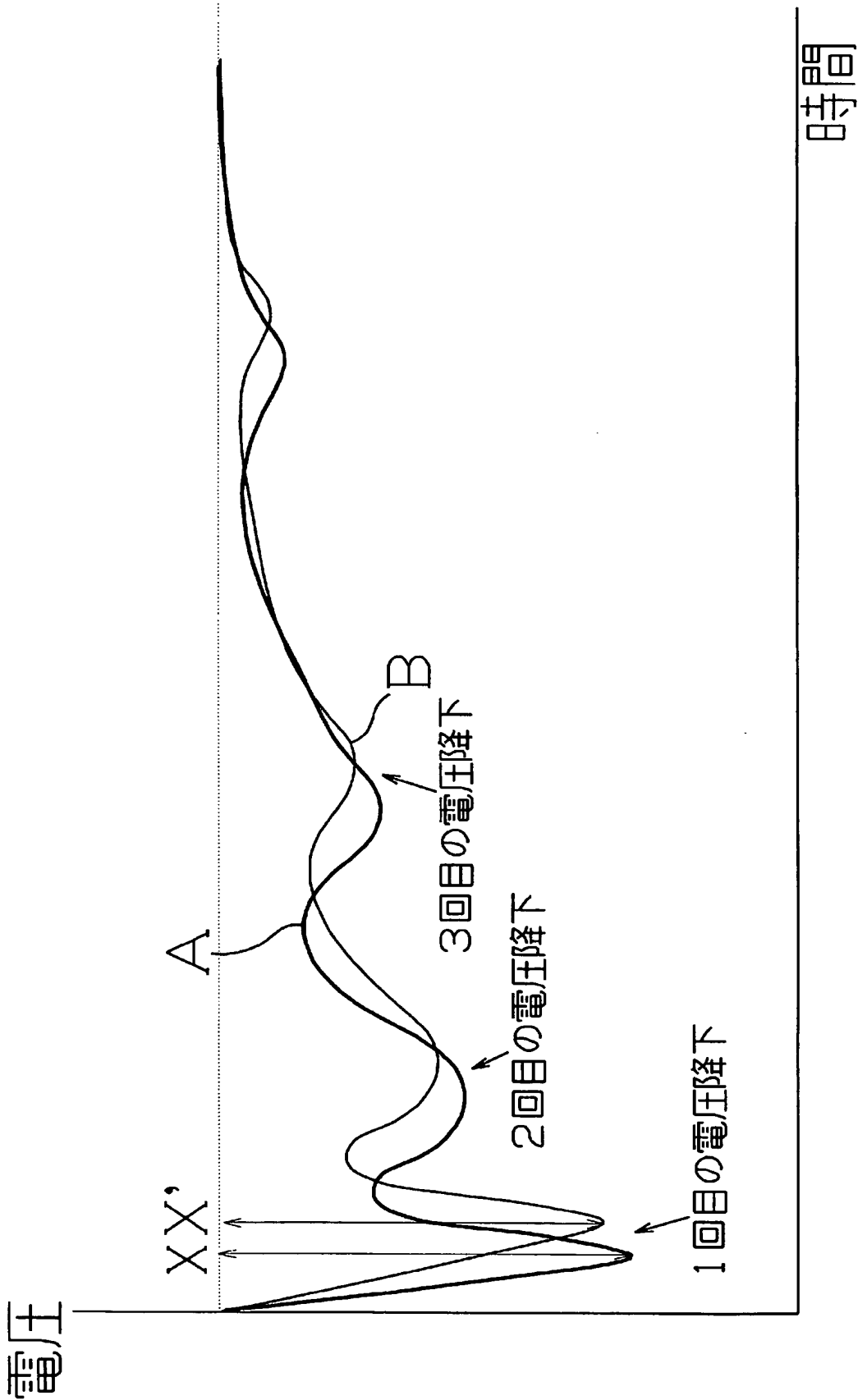
[図26]



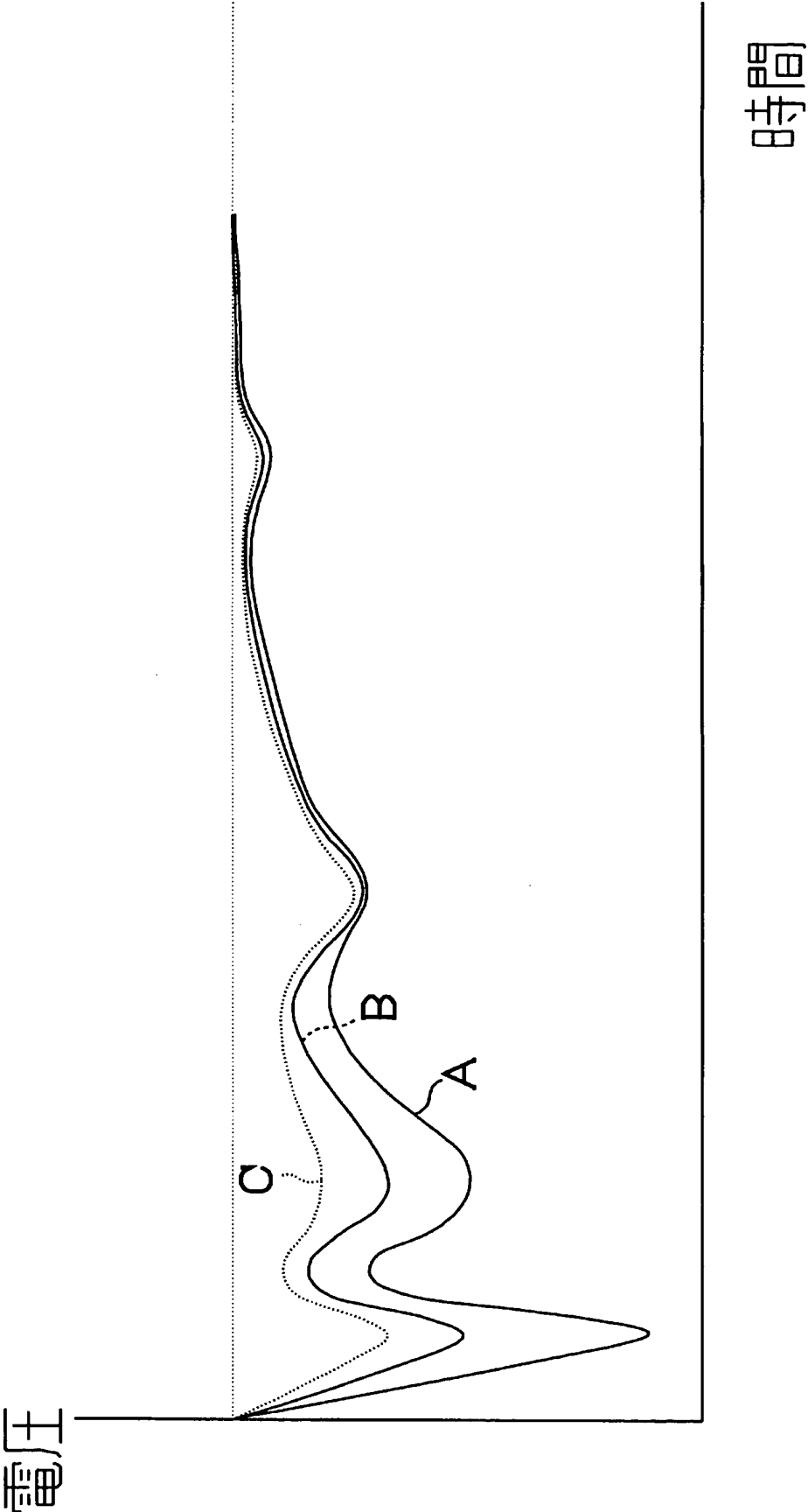
[図27]



[図28]



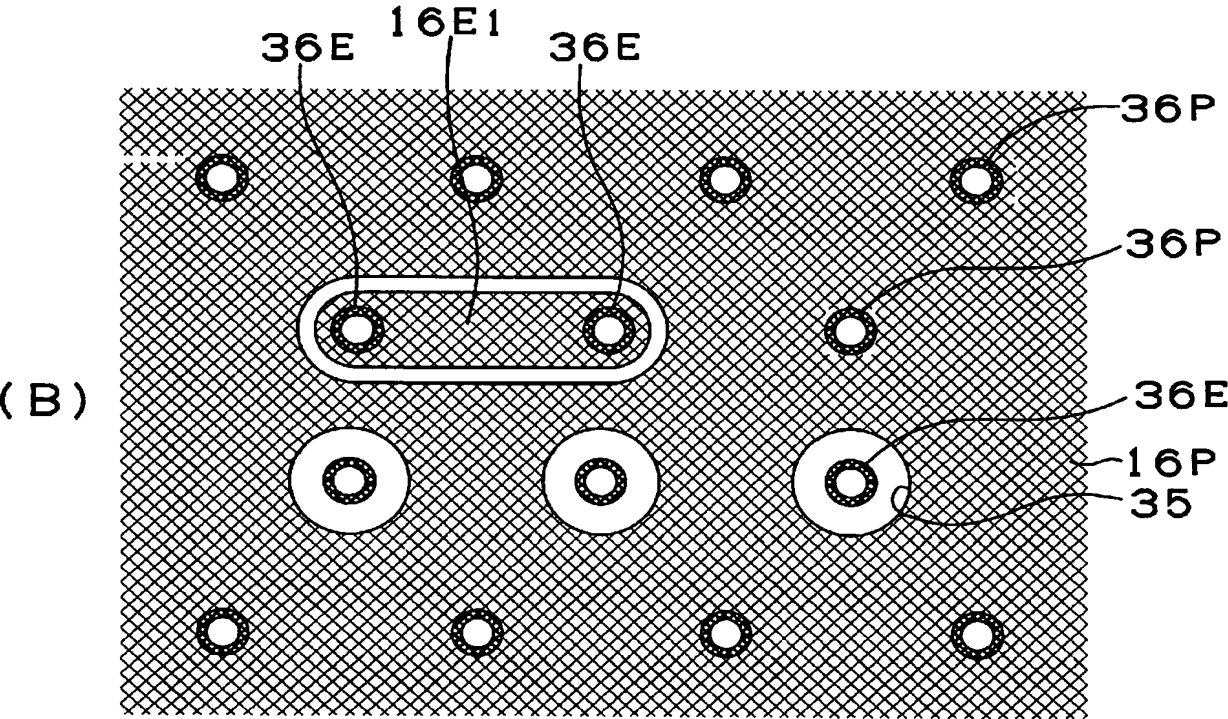
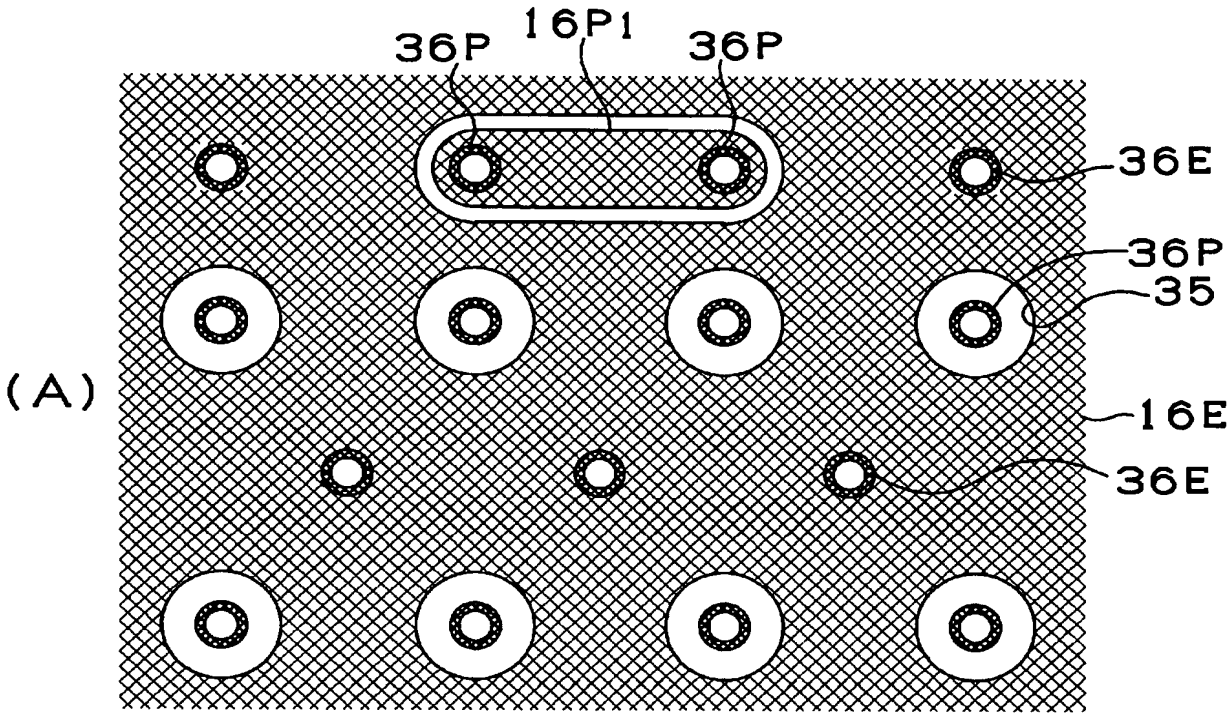
[図29]



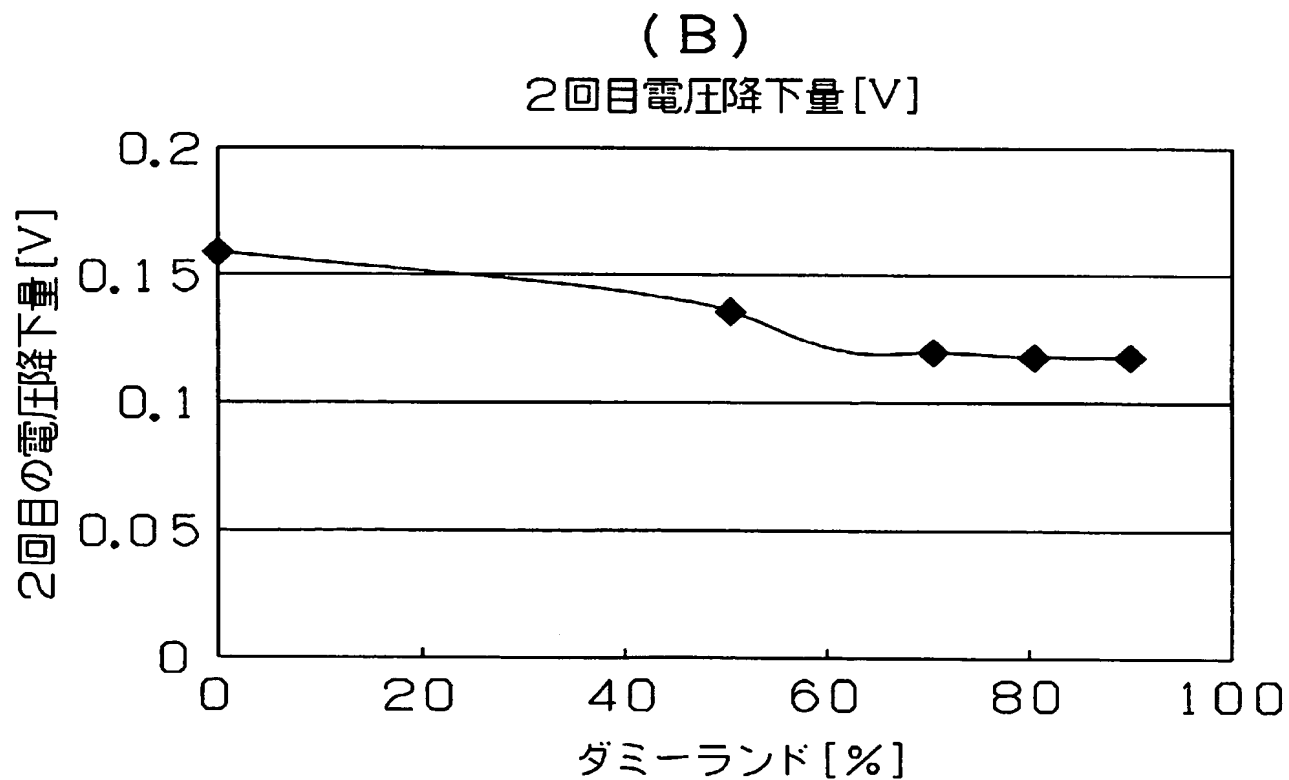
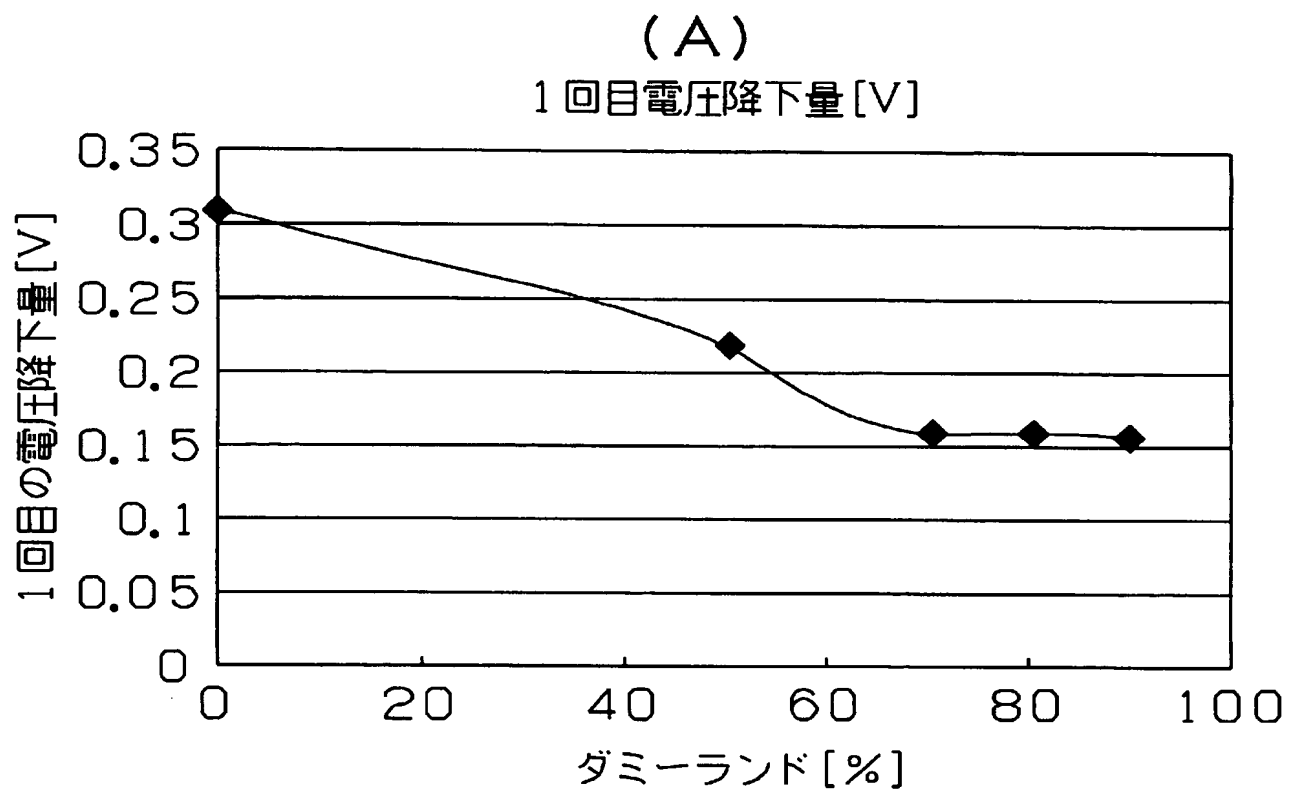
[図30]

#	BU層の導体厚 (μm)	多層コアの内 層の導体厚 (μm)	ダミーランドがない 領域 または/及びその%	電圧降下量(V)			#1(3.06 GHz400MHz)	#2(3.2 GHz800MHz)	#3 (3.46GHz,1066MHz)
				1回目	2回目	3回目			
第2実施例-11	15	30	IC直下	0.154	0.116	0.086	なし	なし	有り
第2実施例-12	15	30	50%	0.222	0.132	0.086	なし	有り	有り
第2実施例-13	15	30	70%	0.206	0.128	0.086	なし	なし	有り
第2実施例-14	15	30	80%	0.202	0.126	0.087	なし	なし	有り
第2実施例-15	15	30	90%	0.205	0.122	0.085	なし	なし	有り
第2実施例-16	15	45	IC直下	0.137	0.108	0.078	なし	なし	なし
第2実施例-17	15	60	IC直下	0.135	0.108	0.076	なし	なし	なし
第2実施例-18	15	75	IC直下	0.130	0.106	0.074	なし	なし	なし
第2実施例-19	15	75	70%	0.132	0.106	0.074	なし	なし	なし
第2実施例-20	15	45	IC直下において30%	0.201	0.123	0.078	なし	なし	有り
第2実施例-21	15	60	IC直下において30%	0.159	0.118	0.076	なし	なし	なし
第2実施例-22	15	75	IC直下において30%	0.155	0.117	0.074	なし	なし	なし
第2実施例-23	15	150	IC直下において30%	0.154	0.116	0.072	なし	なし	なし
第2実施例-24	15	300	IC直下において30%	0.208	0.129	0.086	なし	なし	有り
第2実施例-25	15	45	IC直下において50%	0.165	0.120	0.078	なし	なし	なし
第2実施例-26	15	60	IC直下において50%	0.155	0.117	0.076	なし	なし	なし
第2実施例-27	15	75	IC直下において50%	0.155	0.117	0.074	なし	なし	なし
第2実施例-28	15	150	IC直下において50%	0.155	0.117	0.072	なし	なし	なし
第2実施例-29	15	300	IC直下において50%	0.201	0.129	0.086	なし	なし	有り
第2実施例-30	15	45	IC直下において70%	0.155	0.117	0.078	なし	なし	なし
第2実施例-31	15	60	IC直下において70%	0.155	0.117	0.076	なし	なし	なし
第2実施例-32	15	75	IC直下において70%	0.155	0.117	0.074	なし	なし	なし
第2実施例-33	15	150	IC直下において70%	0.155	0.117	0.072	なし	なし	なし
第2実施例-34	15	300	IC直下において70%	0.203	0.127	0.086	なし	なし	有り
第2実施例-35	15	60	50%	0.201	0.130	0.078	なし	なし	有り
第2実施例-36	15	30	IC直下において50%	0.204	0.121	0.078	なし	なし	有り
第2比較例-3	15	5	なし	0.306	0.150	0.087	有り	有り	有り

[図31]



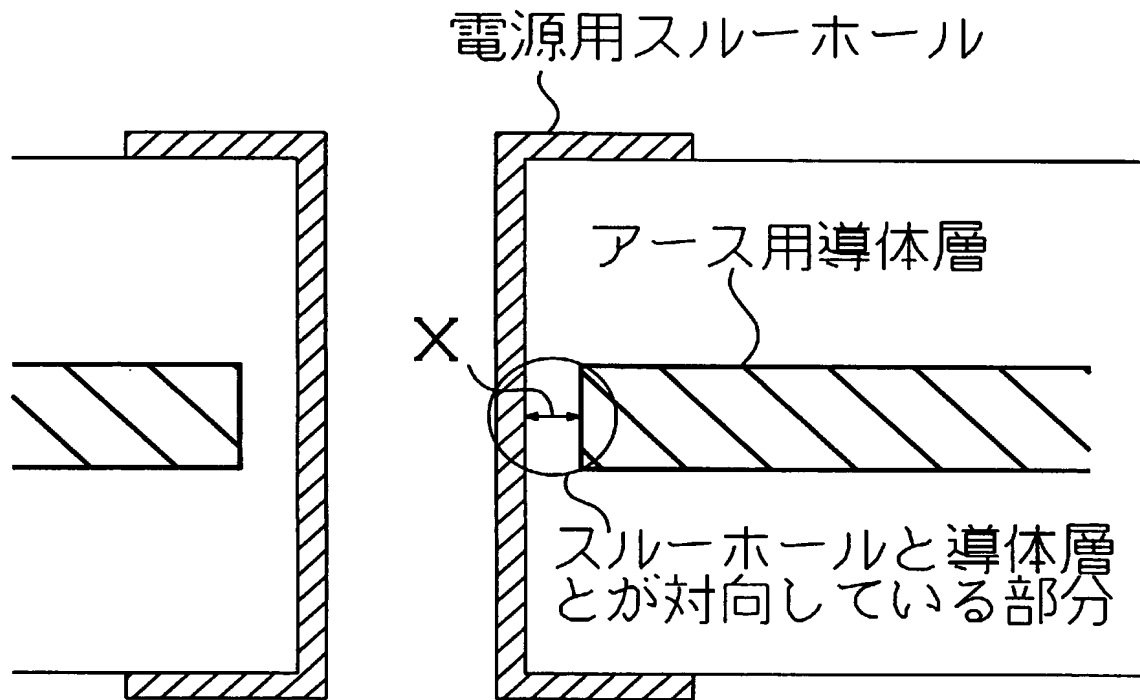
[図32]



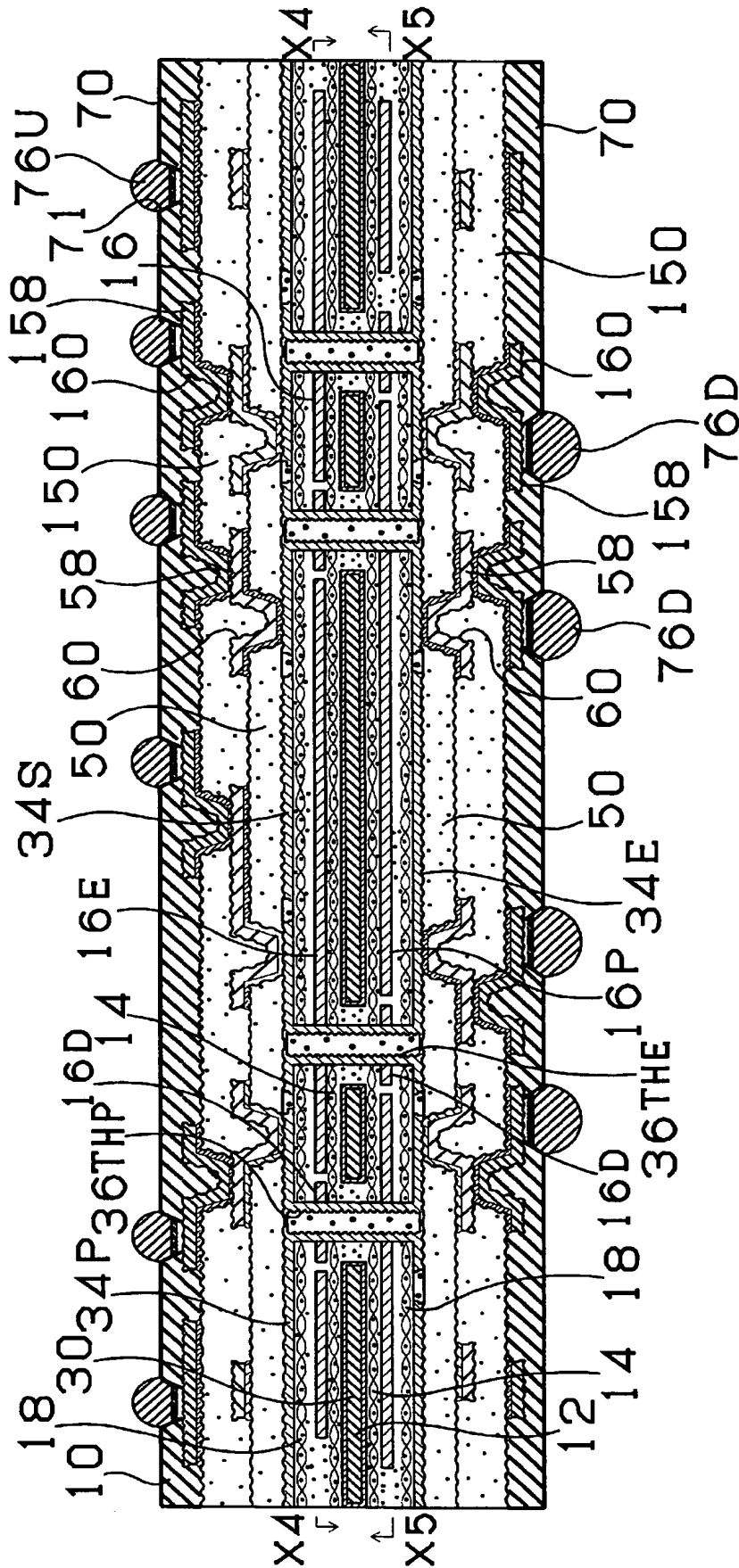
[図33]

#	ビルドアップ層のCu厚 (μm)	多層コアの内層のCu厚 (μm)	ダミーランドがない領域またはその%	電圧降下量(V)			ICの誤動作の有無
				1回目	2回目	3回目	
第2実施例1	15	30	IC直下	0.157	0.118	0.089	なし
第2実施例2	15	30	50%	0.218	0.135	0.088	有り
第2実施例3	15	30	70%	0.158	0.120	0.088	なし
第2実施例4	15	30	80%	0.158	0.118	0.089	なし
第2実施例5	15	30	90%	0.155	0.118	0.087	なし
第2実施例6	15	45	IC直下	0.140	0.110	0.088	なし
第2実施例7	15	60	IC直下	0.138	0.110	0.088	なし
第2実施例8	15	75	IC直下	0.133	0.108	0.086	なし
第2実施例9	15	75	70%	0.135	0.108	0.086	なし
第2比較例1	15	30	なし	0.310	0.153	0.089	有り
第2比較例2	15	15	なし	0.389	0.160	0.108	有り

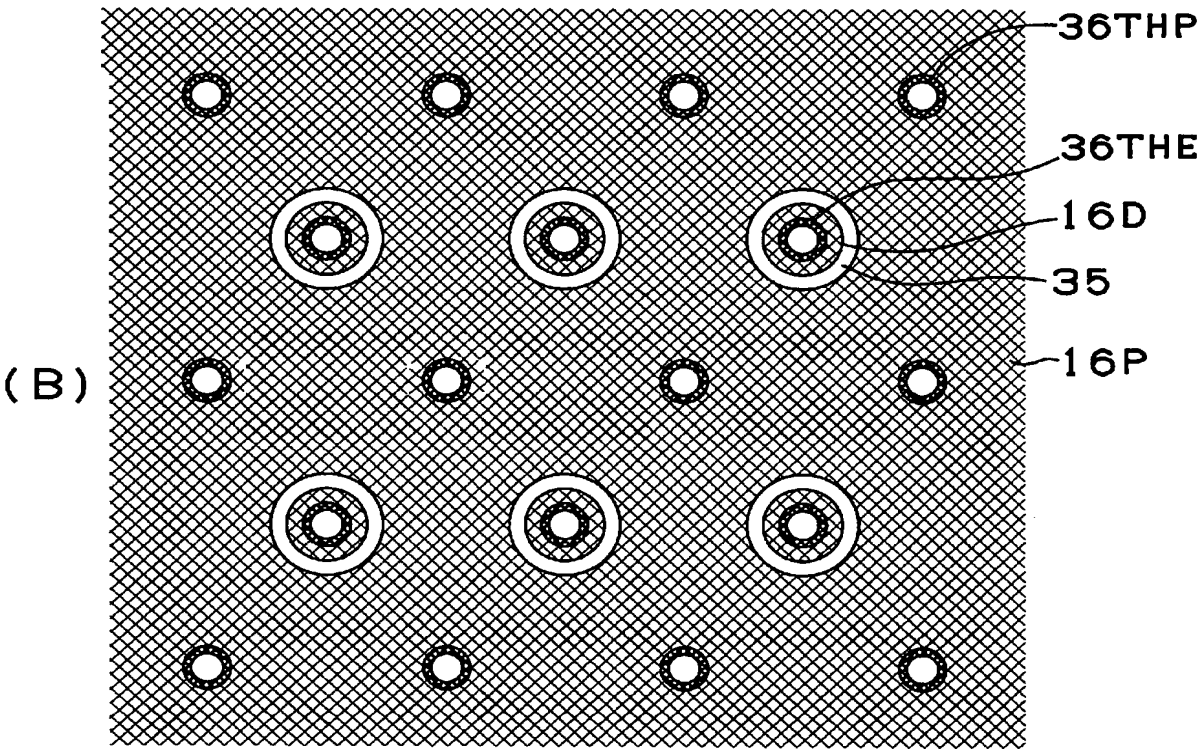
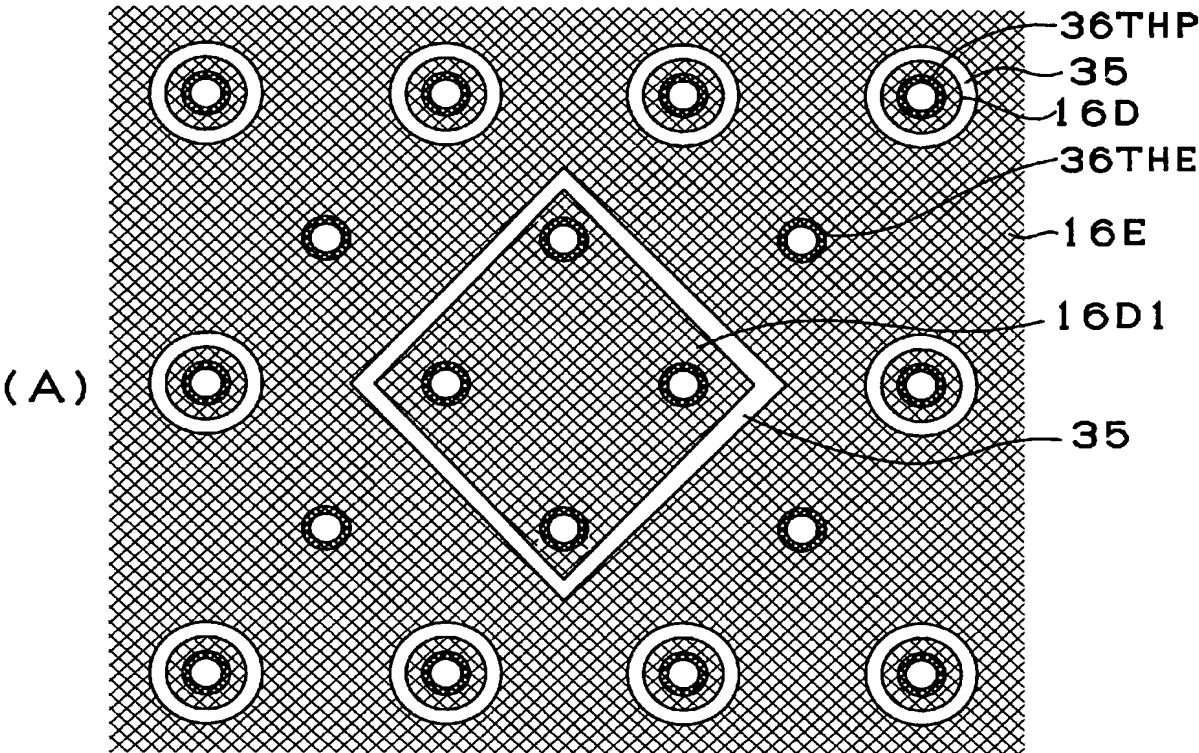
[図34]



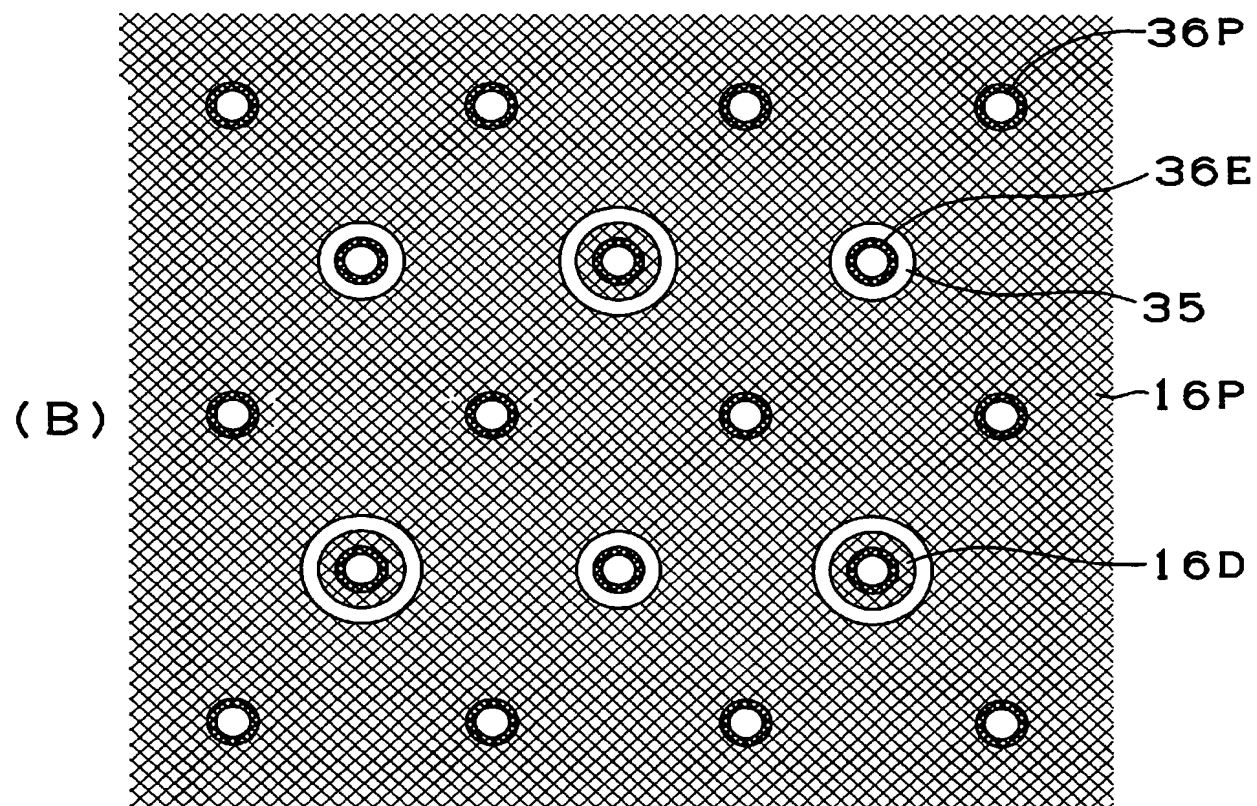
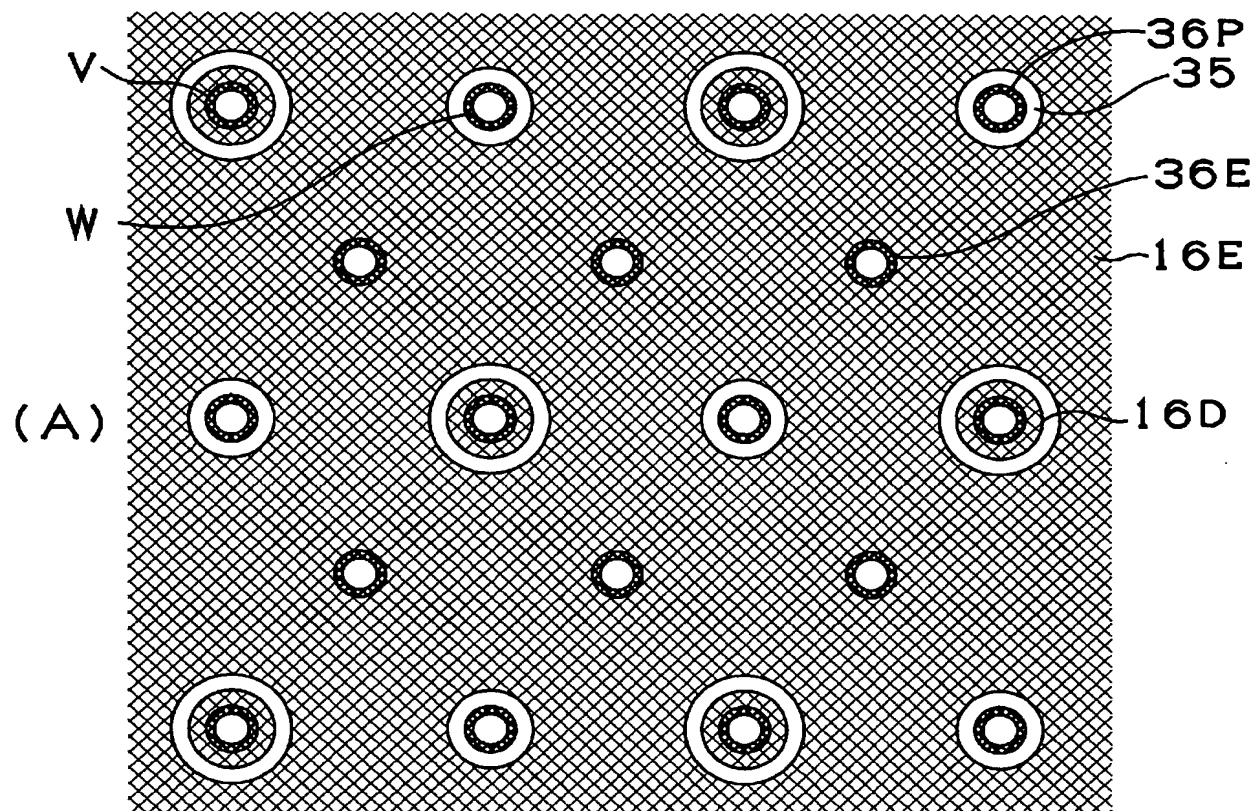
[図35]



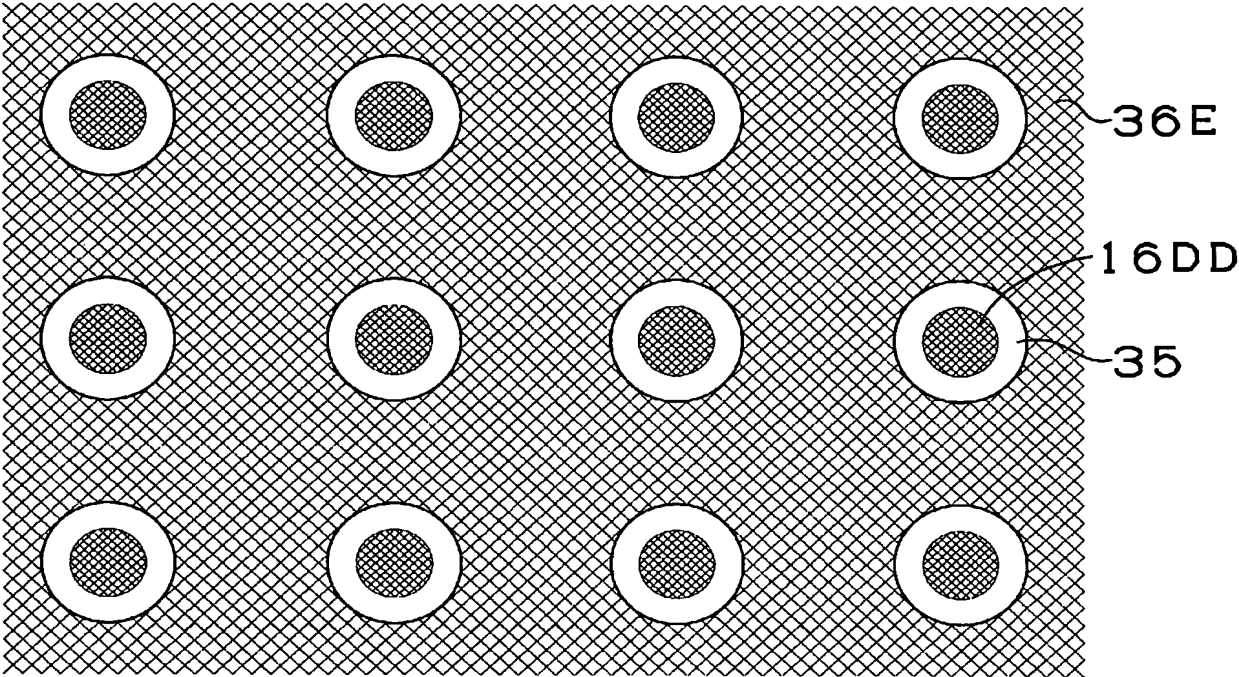
[図36]



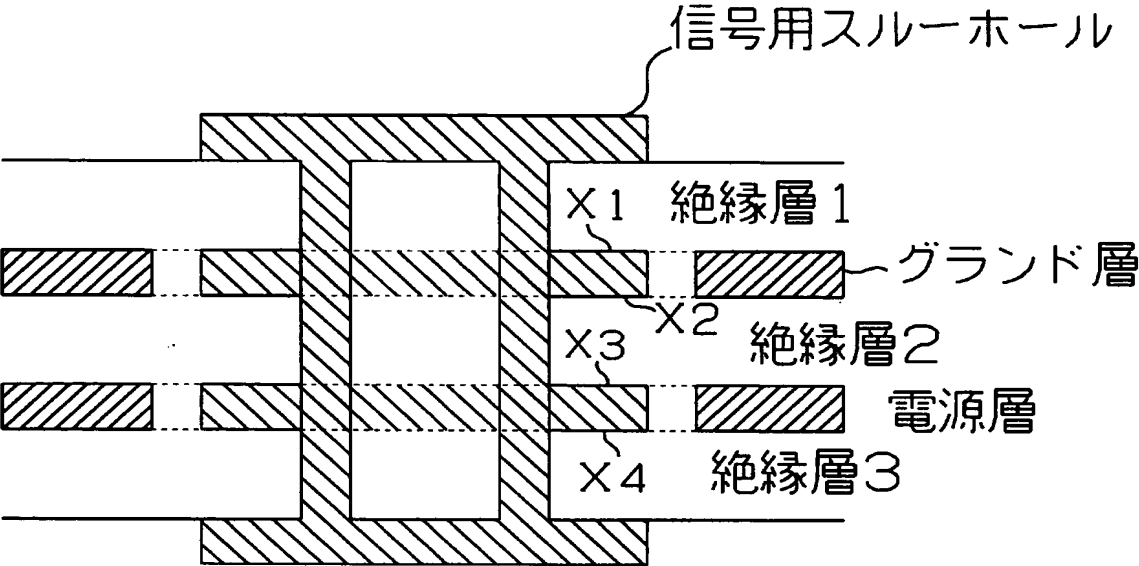
[図37]



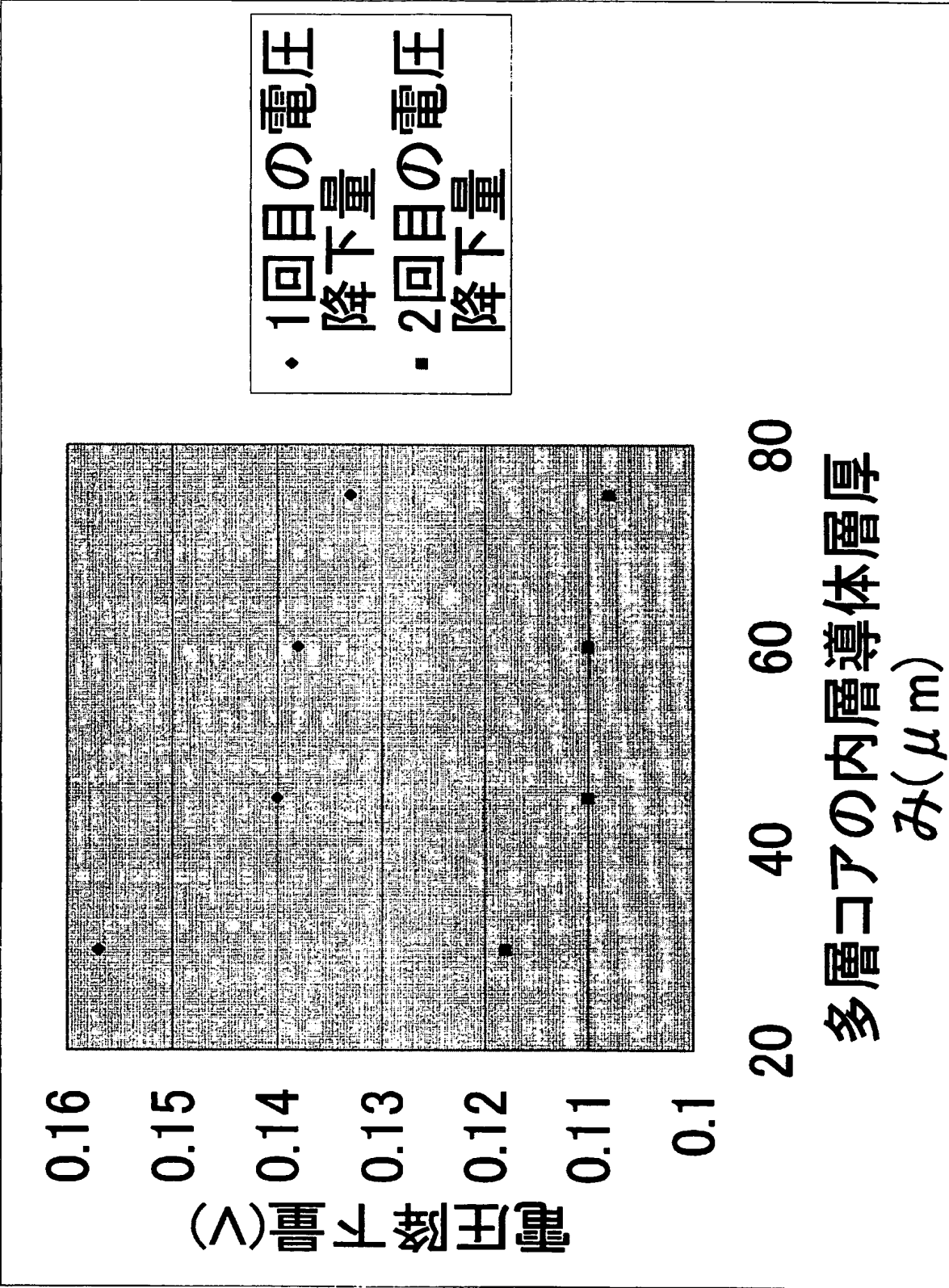
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001610

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-353365 A (Hitachi, Ltd.), 06 December, 2002 (06.12.02),	9-14, 17, 19, 21-29
Y	& US 2004/169198 A1 & TW 541670 B & WO 02/99876 A1	1-8, 15, 16, 18, 20
Y	JP 2002-64272 A (Ibiden Co., Ltd.), 28 February, 2002 (28.02.02), Par. No. [0036] (Family: none)	1-8, 15, 16, 18
Y	JP 2002-271034 A (Ibiden Co., Ltd.), 20 September, 2002 (20.09.02), Claim 7 (Family: none)	20

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 April, 2005 (28.04.05)Date of mailing of the international search report
24 May, 2005 (24.05.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001610

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-29 include independent claims 1, 9, 10, 12, 13, 21 and 22.

The technical feature of a multilayer printed wiring board of claim 1 is the relationship between the total thickness of conductive layers for power supply or conductive layers for grounding in a core substrate and the thickness of a conductor layer on an interlayer insulating layer formed on the core substrate. Meanwhile, the technical feature of multilayer printed wiring boards of claims 9, 10, 12, 13, 21 and 22 is the relationship between through holes for different uses and conductive layers for different uses in a core substrate having a plurality of through holes for connecting the front and back sides thereof (continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001610

Continuation of Box No.III of continuation of first sheet (2)

and three or more conductor layers including the front, back and inner layers.

Consequently, there is no technical relationship between independent claim 1 and independent claims 9, 10, 12, 13, 21 and 22 involving the same or corresponding special technical features within the meaning of PCT Rule 13.2.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H05K 3/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H05K 3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国登録実用新案公報 1994-2005年
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-353365 A (株式会社日立製作所) 06. 12. 2002	9-14, 17, 19, 21-29
Y	& US 2004/169198 A1 & TW 541670 B & WO 02/99876 A1	1-8, 15, 16, 18, 20
Y	JP 2002-64272 A (イビデン株式会社) 28. 02. 2002【0036】 (ファミリーなし)	1-8, 15, 16, 18
Y	JP 2002-271034 A (イビデン株式会社) 20. 09. 2002【請求項7】 (ファミリーなし)	20

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

28. 04. 2005

国際調査報告の発送日

24. 5. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

黒石 孝志

3S

9527

電話番号 03-3581-1101 内線 3389

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求の範囲1-29における独立請求の範囲は、請求の範囲1, 9, 10, 12, 13, 21, 22, である。

請求の範囲1は、多層プリント配線板において、コア基板の電源用導体層の厚みの和もしくはアース用導体層の厚みの和と、コア基板上に形成された層間絶縁層上の導体層の厚みの関係を技術的特徴としている。また、請求の範囲9, 10, 12, 13, 21, 22は、多層プリント配線板において、表裏を接続する複数のスルーホールと、表裏と内層で導体層を3層以上有するコア基板における、各用途別のスルーホールと各用途別の導体層の関係を技術的特徴としている。

したがって、独立請求の範囲である請求の範囲1と請求の範囲9, 10, 12, 13, 21, 22の間にPCT規則13.2における同一または対応する技術的特徴はない。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。